



Make Testing More Valuable

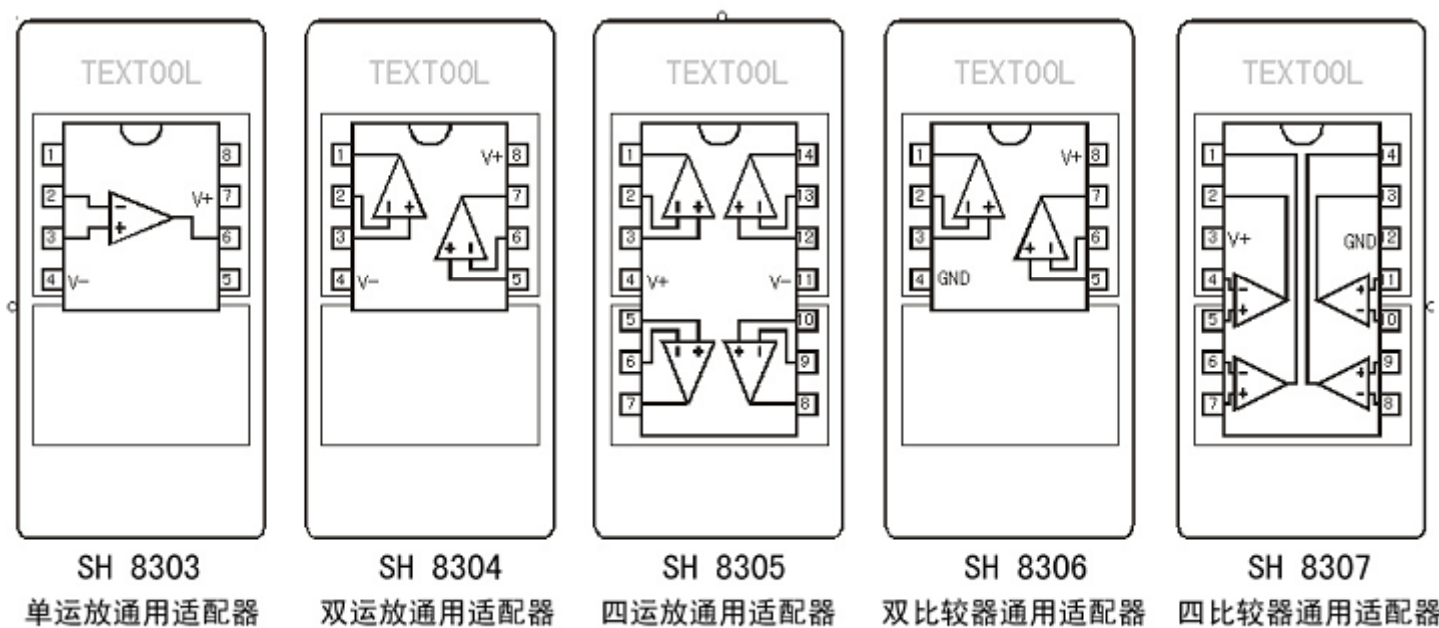
运算放大器测试



北京华峰测控技术有限公司
Beijing Huafeng Test & Control Technology Co.,Ltd.

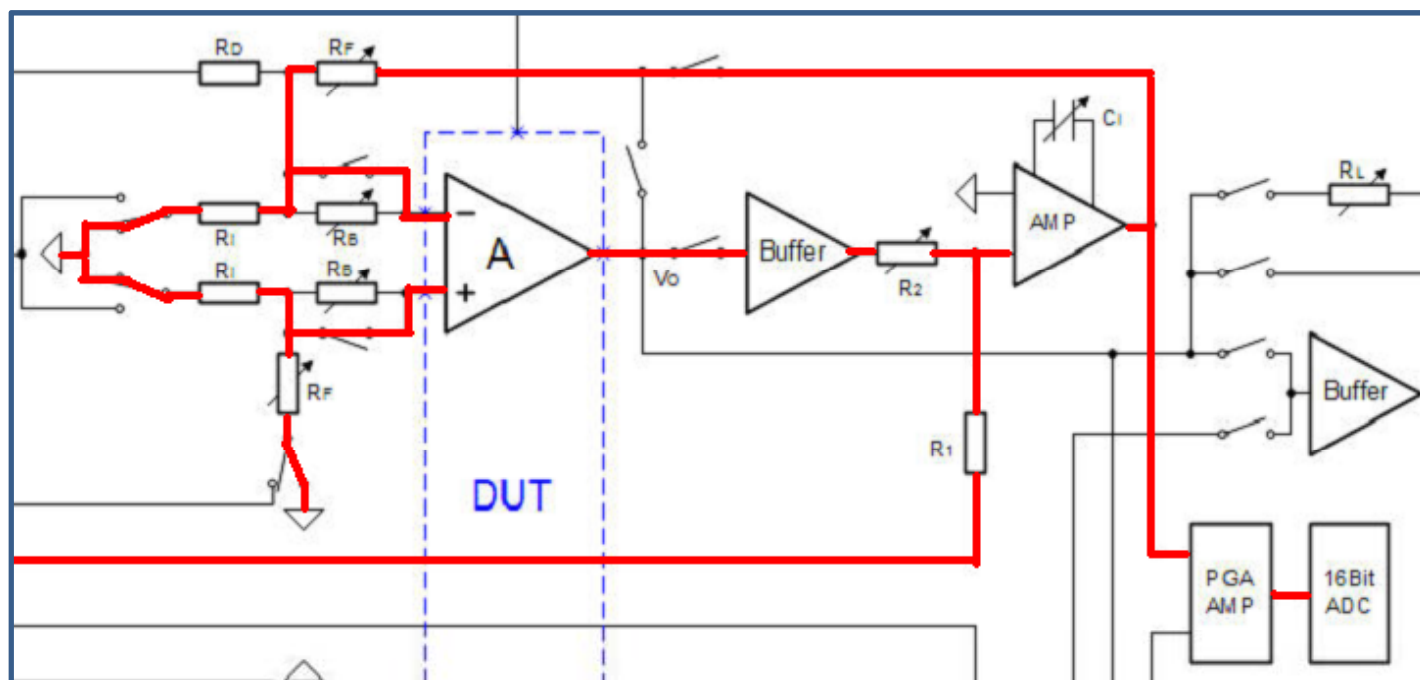
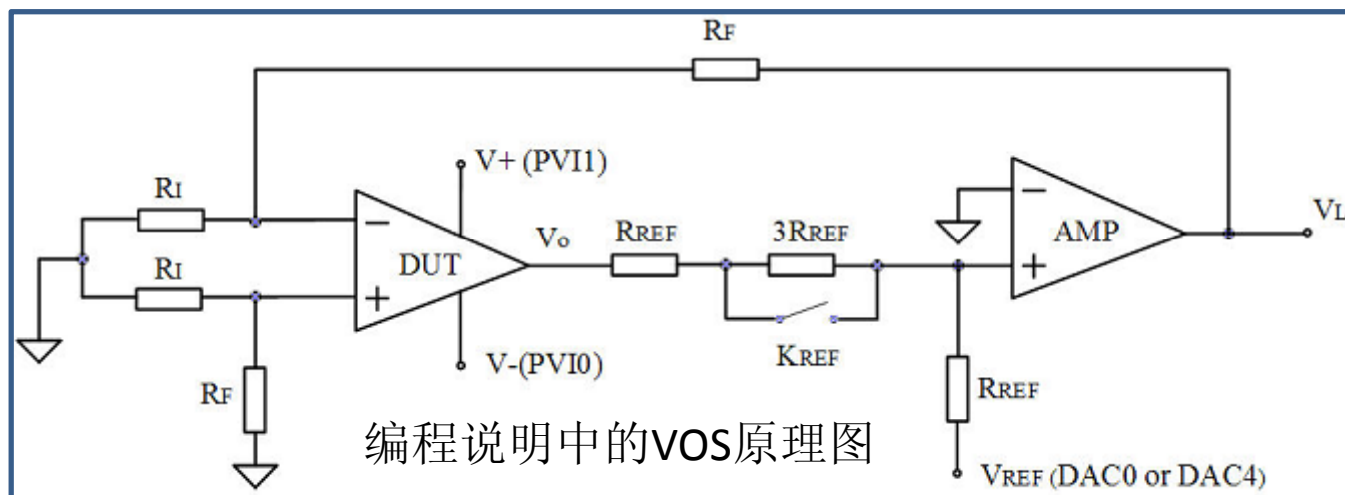
STS8205/STS8105—运算放大器测试需要什么？

- 1、运放环：** 位于测试头内的OPL模块，一个OPL模块包含两个运放环路，最多配置两个OPL模块，具有四个运放环路，对单、双、四运放进行并行测试。
- 2、类别板：** SH8203运算放大器电压比较器类别板。
- 3、适配器：** 五种标配的运算放大器电压比较器适配器和对应特殊管腿排列的专用适配器。



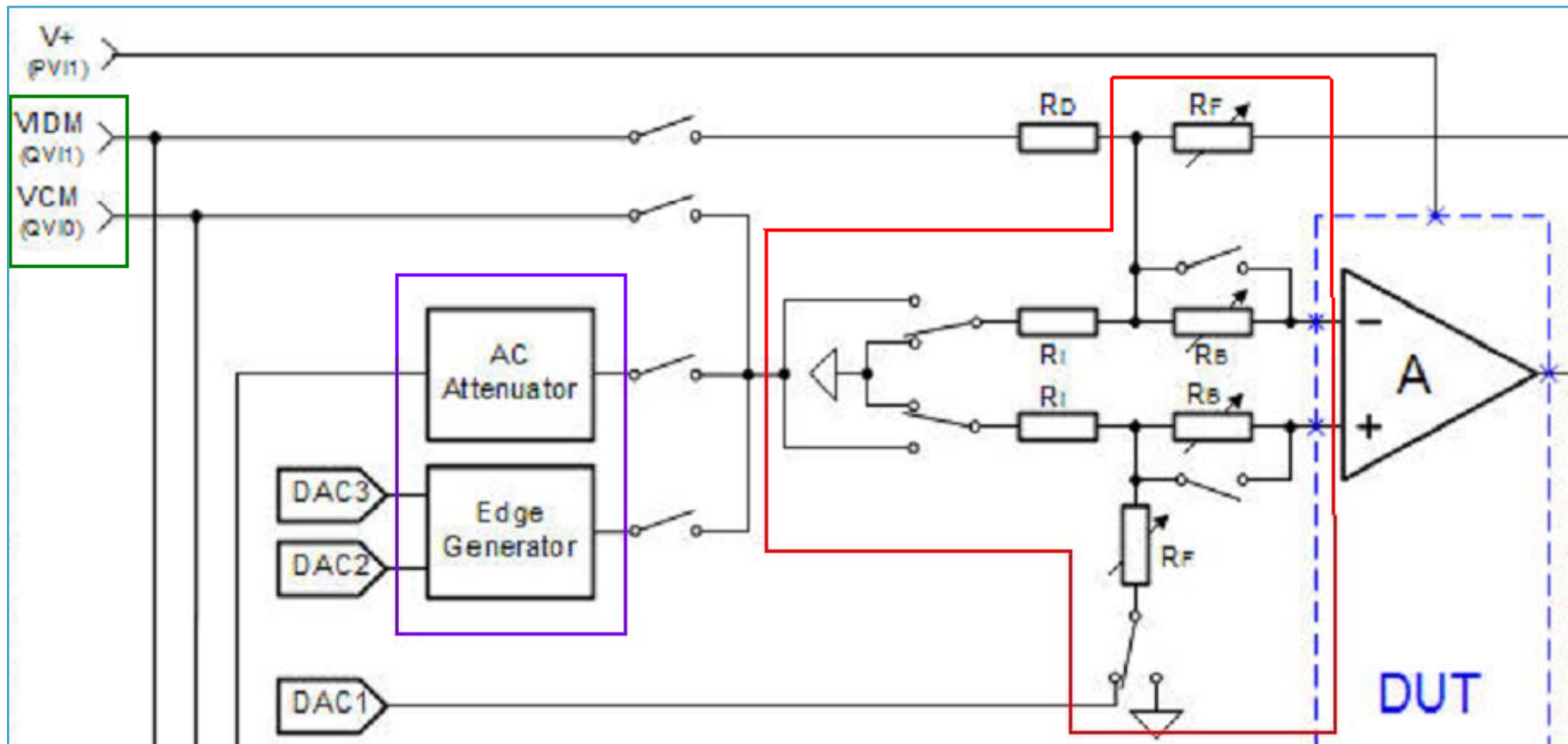
典型品种：OP07（单运放）、LM158（双运放）、LM124（四运放）

运放环——最简单、最困难



实际OPL运放环原理框图

运放环输入部分

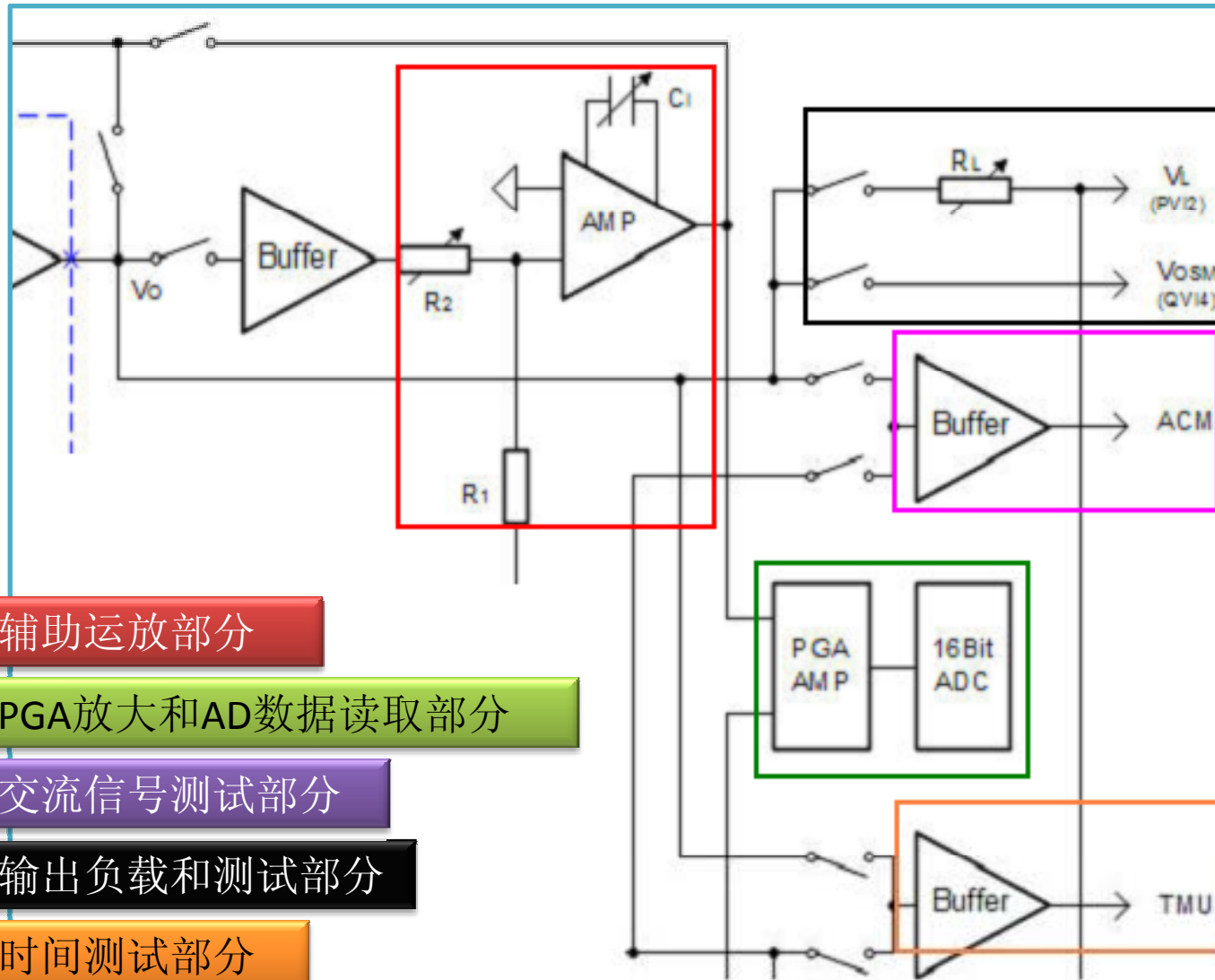


红色：环路增益部分、失调电流测试部分

紫色：交流信号输入部分（增益带宽积）、边沿信号输入部分（压摆率）

绿色：共模信号输入部分、差模信号输入部分（使用较少）

运放环输出部分



红色：辅助运放部分

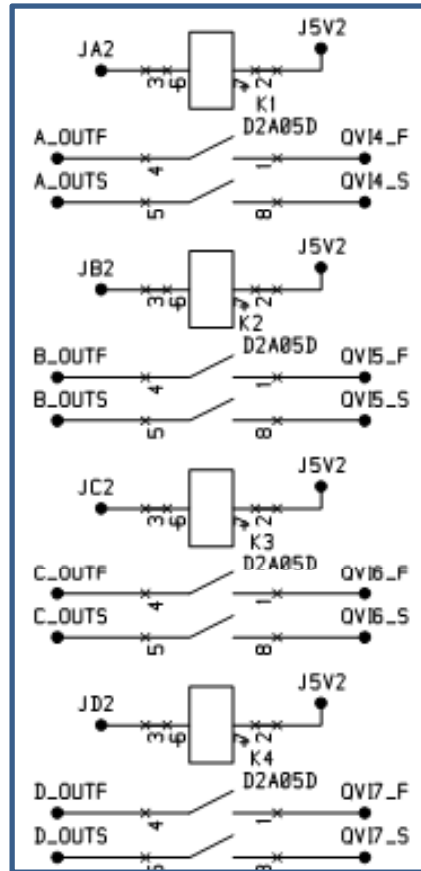
绿色：PGA放大和AD数据读取部分

紫色：交流信号测试部分

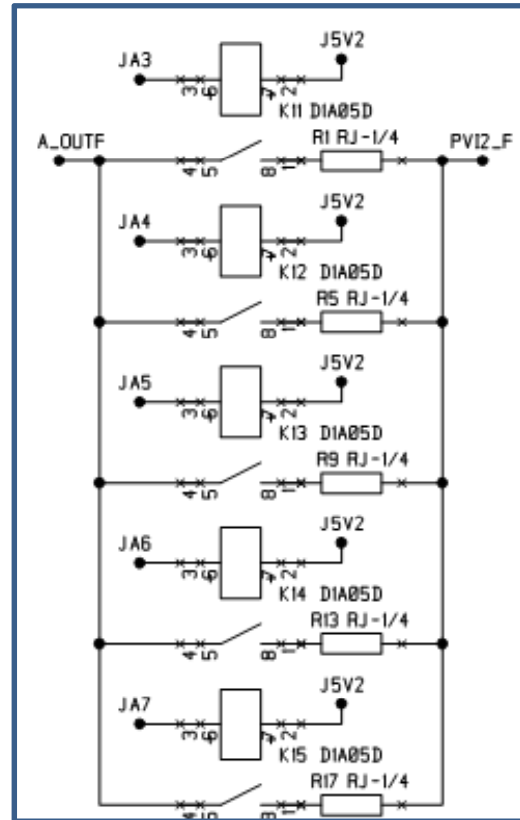
黑色：输出负载和测试部分

橙色：时间测试部分

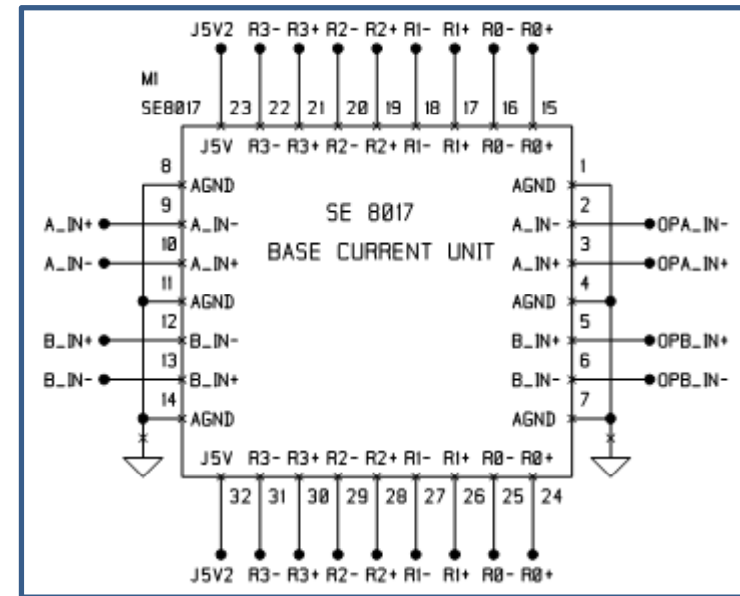
运放环框图位于类别板的部分



运放输出连接到相应的QVI (FOVI) 上



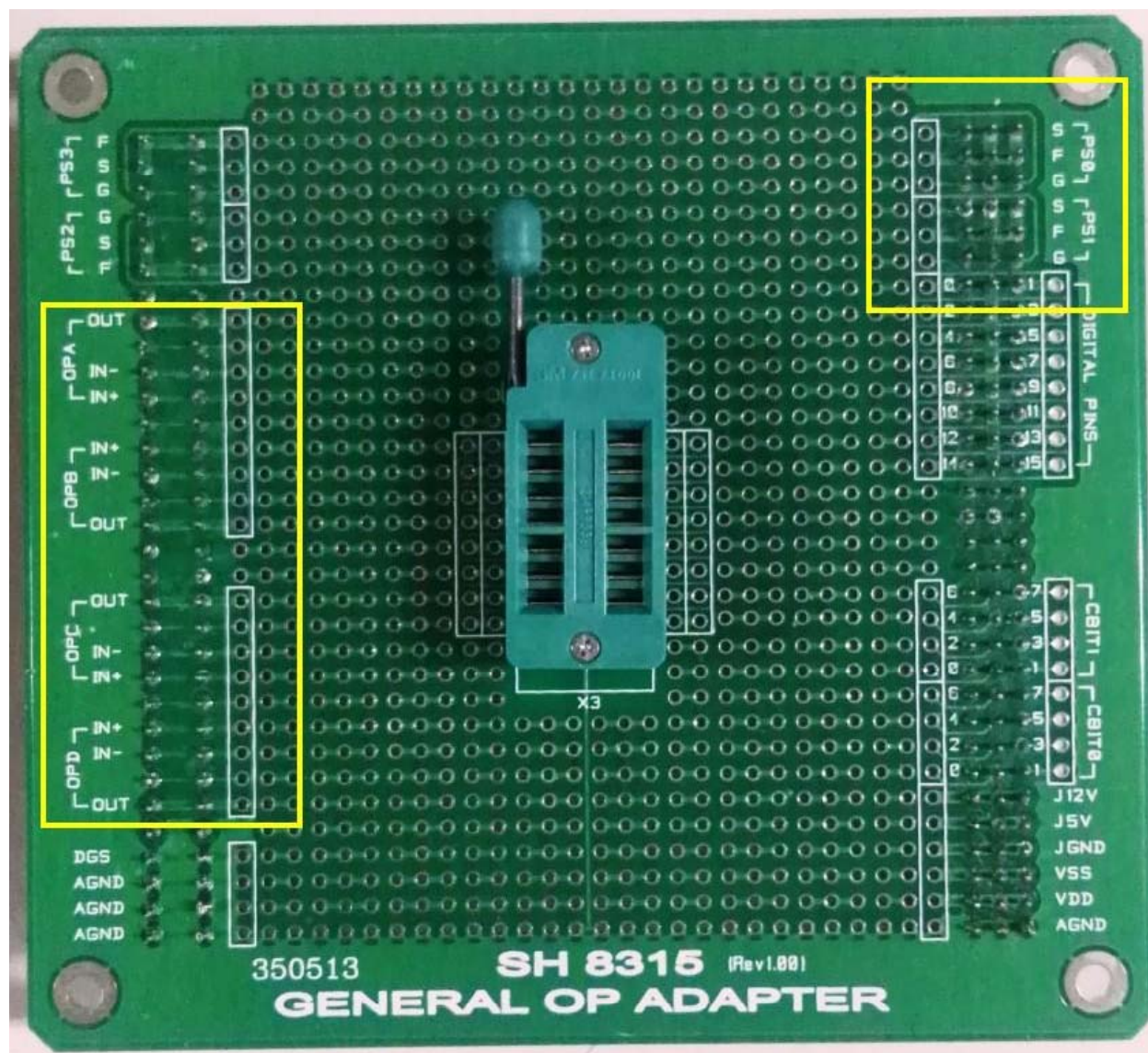
负载电阻RL和负载电源PVI2 (FPVI2)



偏置电流测试部分

运放通用适配器

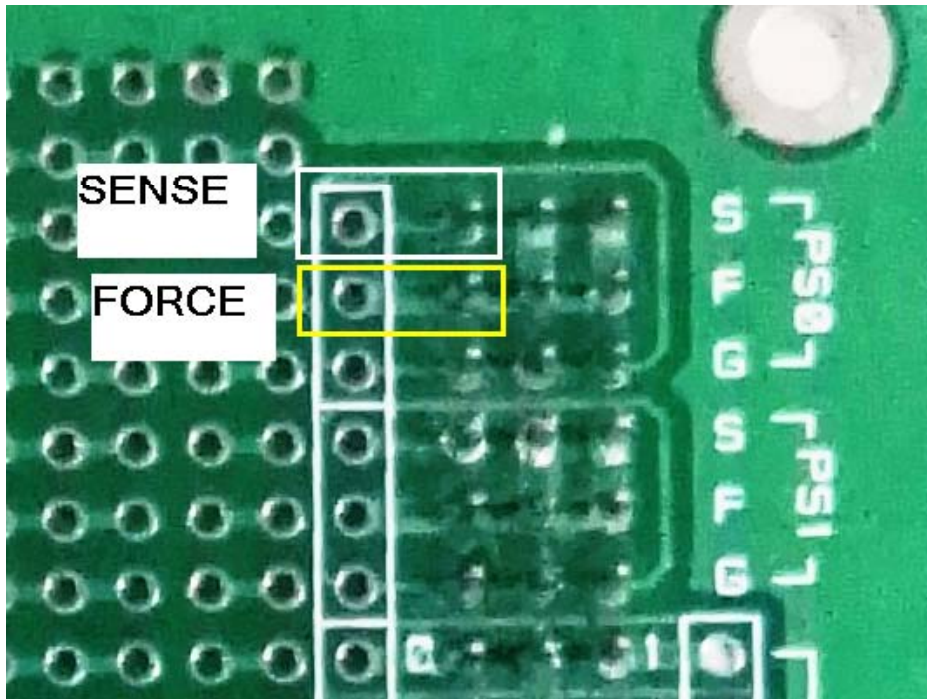
四路运放环
的输入IN+、
IN-、OUT
(OPA、OPB、
OPC、OPD)



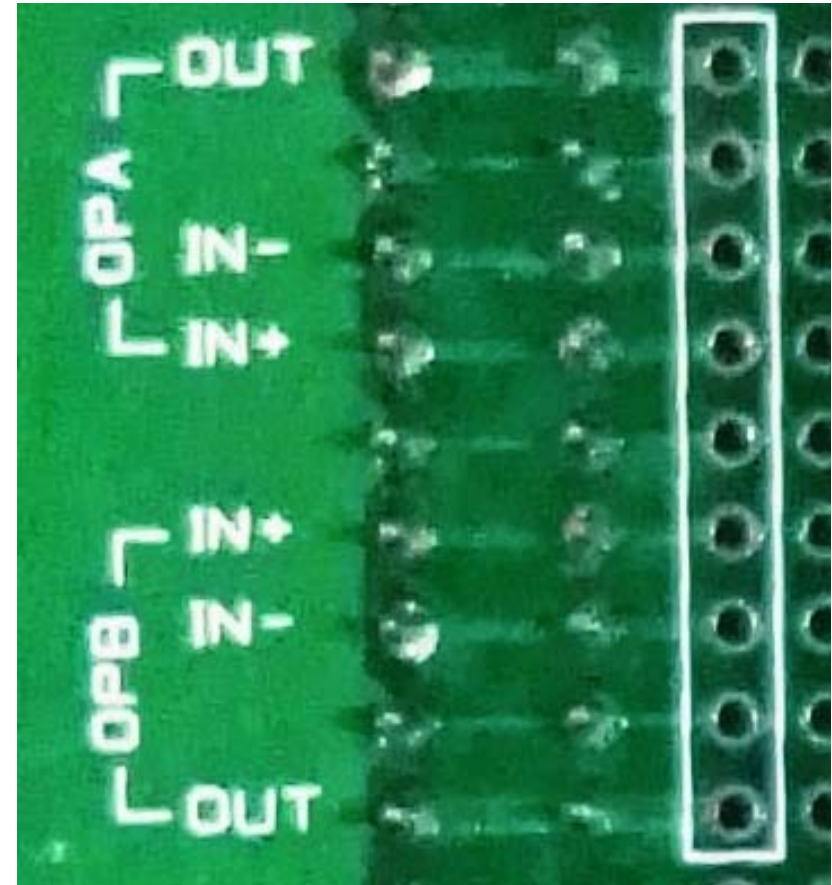
PS0: 负电源

PS1: 正电源

运放通用适配器



上图：白色框中焊点为电源sense线（电压），黄色框中焊点为电源force线（电流），sense和force无论是否进行严格的开尔文连接，都要短路在一起，不能悬空。



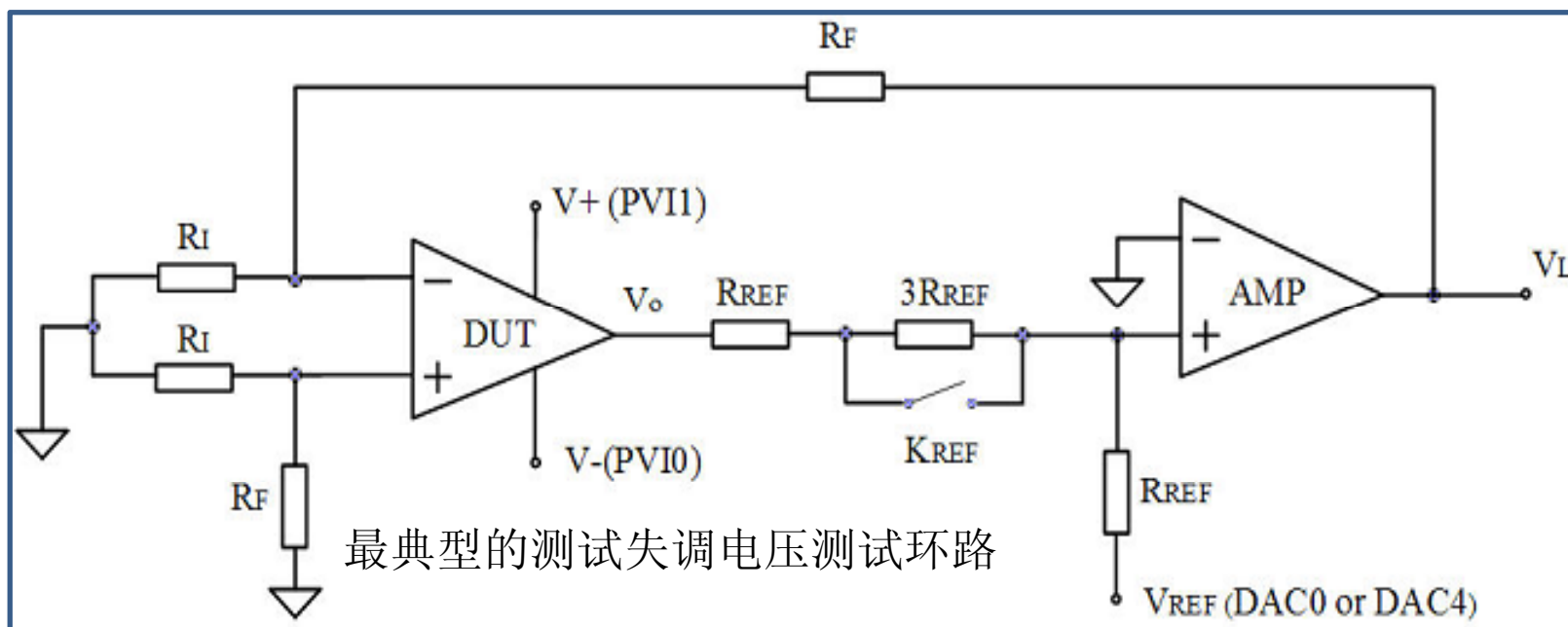
飞线时，将IN-连接到运放输入的反相端，IN+连接到同相端，运放输出连接到OUT，OPA、OPB、OPC、OPD分别对应1-4路运放。

运放测试参数

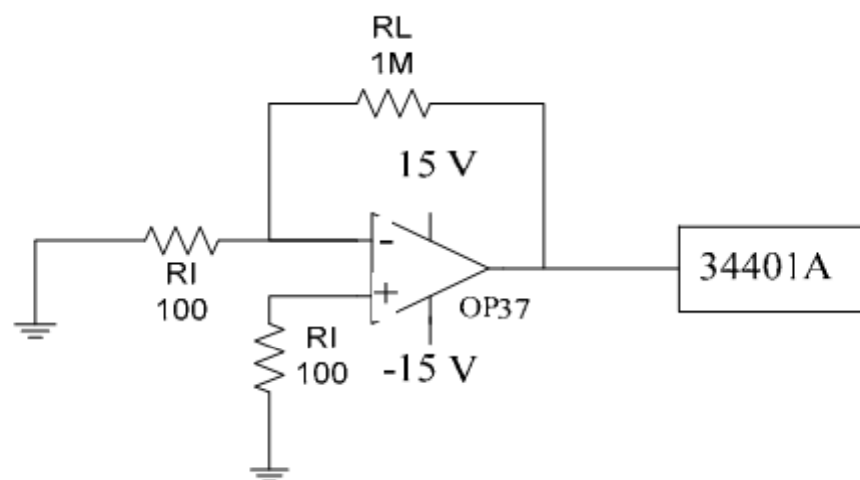
闭环参数: V_{os} 、 I_b 、 A_{vo} 、 $CMRR$ 、 $PSRR$ 、 V_o （闭环）、 I_s 、 P_s

开环参数: V_o （开环）、 I_o

动态参数: S_r 、 B_w



失调电压准确性和稳定性的验证（以 OP37 为例），按照下图搭建电路，使用稳压源为 OP37 提供±15V 电源,使用 34401A 测试输出电压 Vout,根据 RL 与 RI 关系可以计算出 OP37 失调电压 $V_{os} = V_{out} * R_I / R_L$



用以上电路重复测试 10 次，Vos 测试结果如下表：

验证电路测试 Vos 测试结果(uV)									
21.90	21.99	21.86	21.90	22.00	21.93	22.10	22.02	21.92	22.01

下表是使用 STS8205 进行同一只 OP37 的重复测试结果：

验证电路测试 Vos 测试结果(uV)									
22.34	22.34	22.08	22.34	22.34	22.34	22.34	22.08	22.34	22.34

测试	参	参数名	标识	下限	上限	单位	显示格式
<input checked="" type="checkbox"/>	T0	<input type="text" value="v0s"/>	V0S	-100	100	uV	0.000
<input checked="" type="checkbox"/>	T1	<input type="text" value="ib1"/>	IB+	-80	80	nA	0.000

条件	条件标识	条件值	条件...	描述
vdd	V+	15	V	器件正电源电...
vdd_vrng	V+_VRng	±20V		VDD电压量程
vdd_irng	V+_IRng	±10mA		VDD电流量程
vdd_clamp1	V+_Clamp1	10	mA	VDD电流上限箝位
vdd_clamp2	V+_Clamp2	-10	mA	VDD电流下限箝位
vss	V-	-15	V	器件负电源电...
vss_vrng	V-_VRng	±20V		VSS电压量程
vss_irng	V-_IRng	±10mA		VSS电流量程
vss_clamp1	V-_Clamp1	10	mA	VSS电流上限箝位
vss_clamp2	V-_Clamp2	-10	mA	VSS电流下限箝位
vl	VL	0	V	负载电源电压...
vl_vrng	VL_VRng	±10V		VL电压量程
vl_irng	VL_IRng	±100mA		VL电流量程
vl_clamp1	VL_Clamp1	100	mA	VL电流上限箝位
vl_clamp2	VL_Clamp2	-100	mA	VL电流下限箝位
r1	RL	None		DUT负载电阻
vo	Vo	0	V	DUT输出电压
r2r1	R2 / R1	4:1		输出控制电阻比例
g_loop	G_Loop	×10000		环路增益
t_loop	T_Loop	10mS		环路积分时间
g_pga	G_PGA	×1		PGA放大器增益
delay	Delay	20	mS	延迟时间1
Sample_No	Sample	100		采样次数

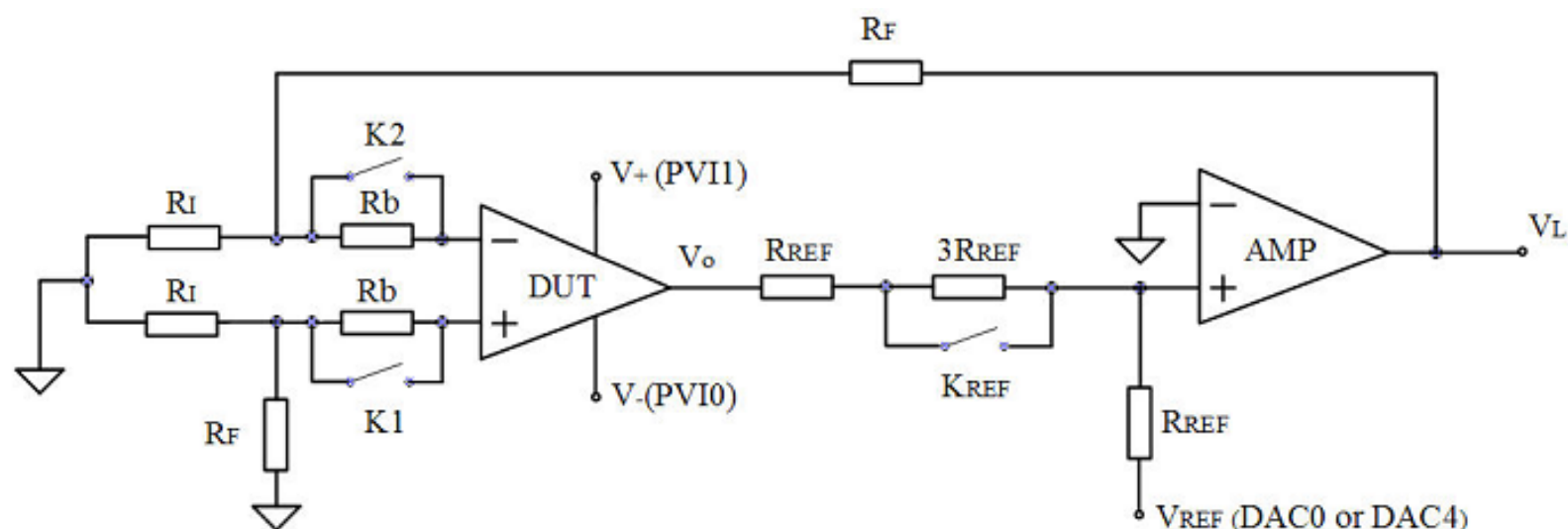
- 1、判据上下限都要写
- 2、隐藏条件VL一般情况下默认
- 3、负载电阻RL一般情况下默认
- 4、双电源一般输出0V，单电源设定为电源和地之间的一个电平，1.4V或者V+/2

环路增益	PGA增益	量程
10000	100	±10uV
10000	10	±100uV
10000	1	±1mV
1000	100	±100uV
1000	10	±1mV
1000	1	±10mV
100	100	±1mV
100	10	±10mV
100	1	±10mV

环路增益×PGA增益× | 判限 | ≤10V

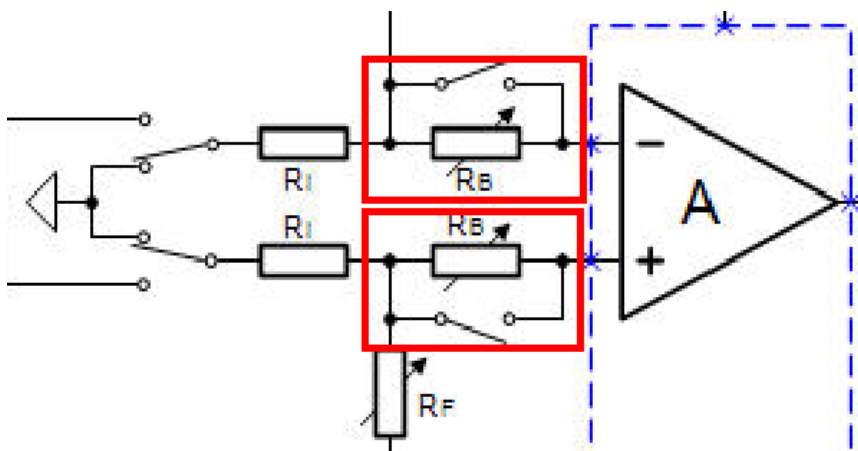
环路积分时间?
2ms 5ms 10ms 20ms

- Ib+:** 在规定的电源电压下，使被测器件输出电压为零（或规定值）时，流入（或流出）器件同相端的电流。
- Ib-:** 在规定的电源电压下，使被测器件输出电压为零（或规定值）时，流入（或流出）器件反相端的电流。
- Ib:** 在规定的电源电压下，使被测器件输出电压为零（或规定值）时，流入（或流出）器件两输入端的平均电流。
- Ios:** 在规定的电源电压下，使被测器件输出电压为零（或规定值）时，流入（或流出）器件两输入端的电流之差。



<input checked="" type="checkbox"/> 测试	参..	参数名	标识	下限	上限	单位	显示格式
<input checked="" type="checkbox"/>	T3	<input type="button" value="+"/> ib	IB	-80	80	nA	0.000
<input checked="" type="checkbox"/>	T4	<input type="button" value="+"/> ios	IOS	-75	75	nA	0.000

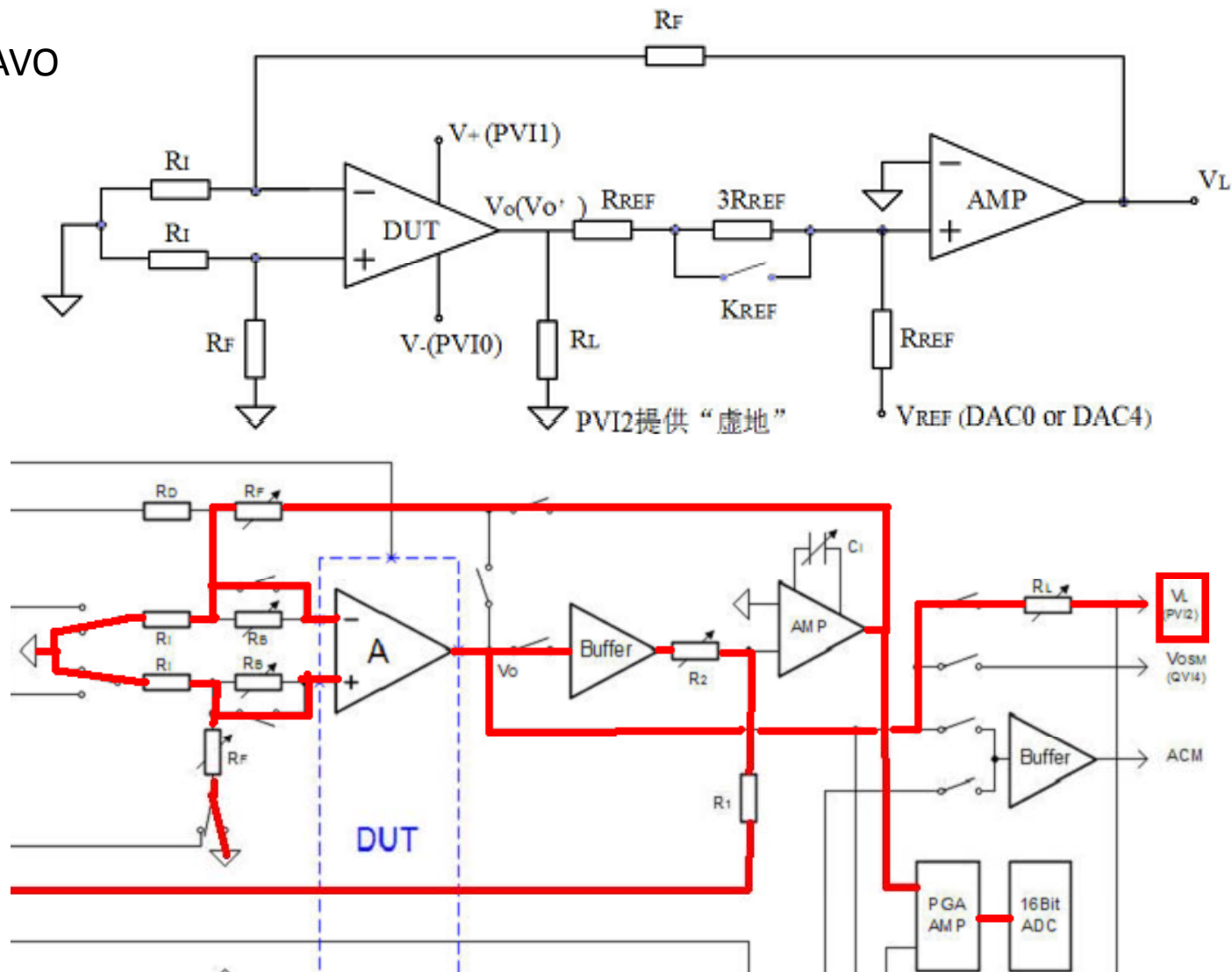
条件	条件标识	条件值	条件...	描述
vdd	V+	15	V	器件正电源电...
vdd_vrng	V+_VRng	±20V		VDD电压量程
vdd_irng	V+_IRng	±100mA		VDD电流量程
vdd_clamp1	V+_Clamp1	100	mA	VDD电流上限箝位
vdd_clamp2	V+_Clamp2	-10	mA	VDD电流下限箝位
vss	V-	-15	V	器件负电源电...
vss_vrng	V-_VRng	±20V		VSS电压量程
vss_irng	V-_IRng	±100mA		VSS电流量程
vss_clamp1	V-_Clamp1	10	mA	VSS电流上限箝位
vss_clamp2	V-_Clamp2	-100	mA	VSS电流下限箝位
r1	RL	None		DUT负载电阻
vo	Vo	0	V	DUT输出电压
r2r1	R2 / R1	4:1		输出控制电阻比例
rb	Rb	200K		IB采样电阻
g_loop	G_Loop	×10000		环路增益
t_loop	T_Loop	10mS		环路积分时间
g_pga	G_PGA	×1		PGA放大器增益
delay	Delay	20	mS	延迟时间1
Sample_No	Sample	100		采样次数



量程	环路增益	PGA增益	RB
5pA	10000	100	2M
50pA	10000	100	200K
500pA
5nA
50nA
500nA
5uA	100	1	20K

- 1、一般情况下IB IB+ IB-判据相同
- 2、IB+ IB- IB IOS同在一个函数下，一次测试完成四个参数
- 3、编程PGS条件在IB参数下
- 4、IB较小的器件适当增加延时时间和采样次数
- 5、IB较大的器件如uA级的器件很多都是高速运放

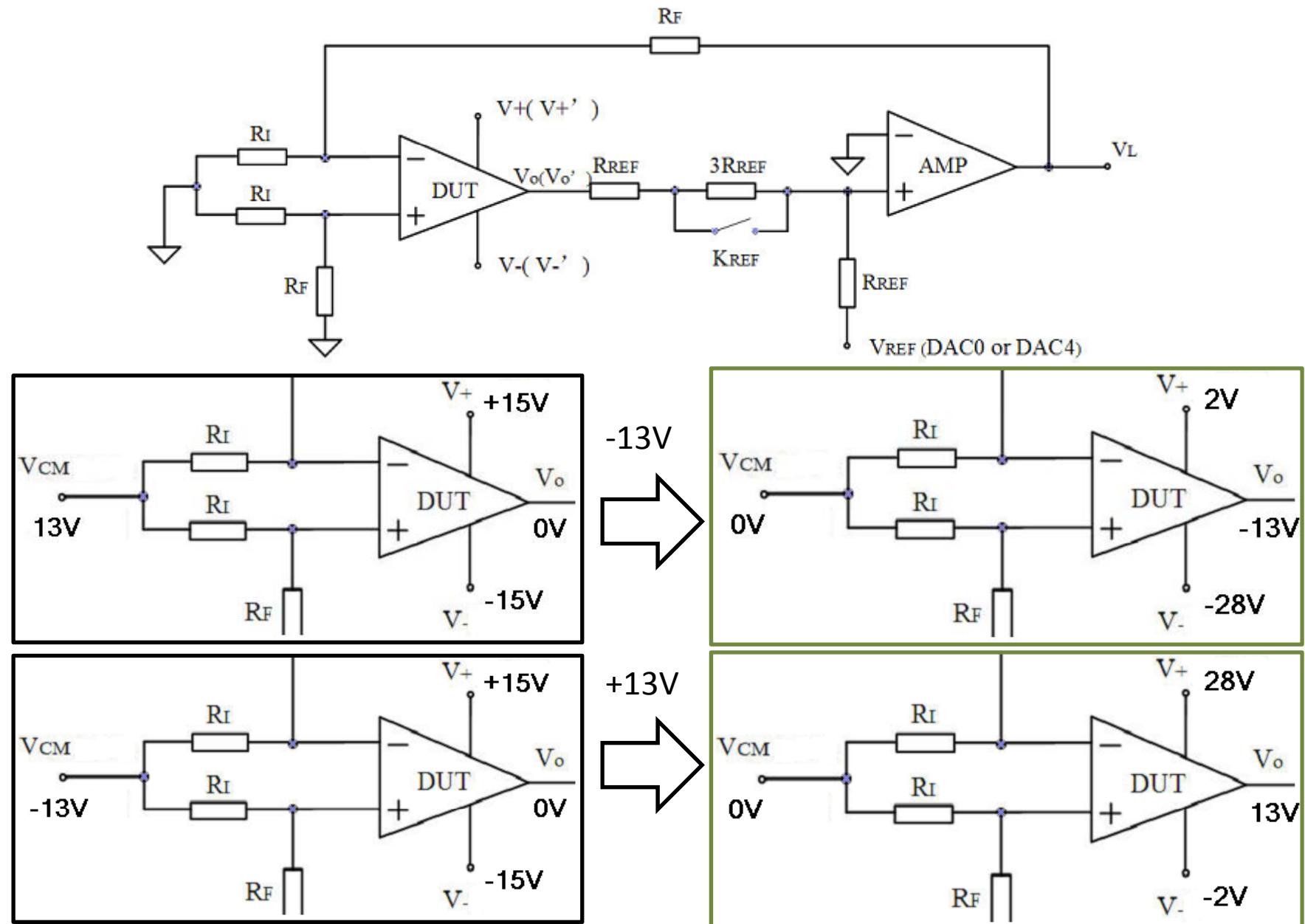
开环增益 A_{VO}



vss_clamp2	v+_clamp2	-100	mA	VSS电流下限制位
r1	RL	2K		DUT负载电阻
vo1	Vo1	10	V	DUT输出电压+10V
vo2	Vo2	-10	V	DUT输出电压-10V
vo1	R2 / R1	4:1		输出控制电阻比例

为什么要闭环测试开环增益？

共模抑制比CMRR（变电源法）



条件	条件标识	条件值	条件单位	描述
vdd1	V+1	28	V	器件正电源电压 (PVI1)
vdd2	V+2	2	V	器件正电源电压 (PVI1)
vdd_vrng	V+_VRng	±50V		VDD电压量程
vdd_irng	V+_IRng	±100mA		VDD电流量程
vdd_clamp1	V+_Clamp1	100	mA	VDD电流上限箝位
vdd_clamp2	V+_Clamp2	-10	mA	VDD电流下限箝位
vss1	V-1	-2	V	器件负电源电压 (PVI0)
vss2	V-2	-28	V	器件负电源电压 (PVI0)
vss_vrng	V-_VRng	±50V		VSS电压量程
vss_irng	V-_IRng	±100mA		VSS电流量程
vss_clamp1	V-_Clamp1	10	mA	VSS电流上限箝位
vss_clamp2	V-_Clamp2	-100	mA	VSS电流下限箝位
vo1	Vo1	13	V	DUT输出电压1
vo2	Vo2	-13	V	DUT输出电压2

- 1、变电源法的目的是将运放输入电压变为0V
- 2、电源档位一般会选择50V量程
- 3、检查电压变换是否正确，可以将每种情况下的正负电源电压绝对值相加： $28V+2V=15V+15V$ ，同时输出电压应在正负电源电压范围内
- 4、运放如果有接地管腿不能使用变电源法
- 5、变电源结果超过50V也不能使用变电源法
- 6、一般变电源CMRR比较准确和稳定
- 7、变电源的方法也可以灵活应用到其他参数的测试：

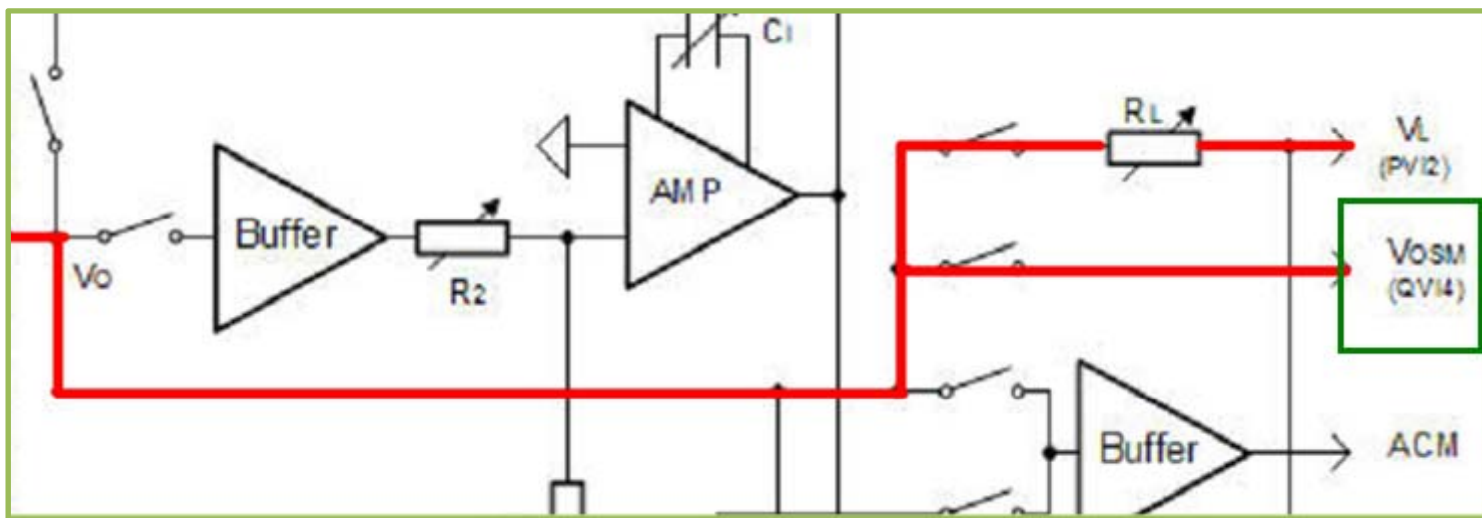
VCM=2.5V/V+=5V/V-=0V 等效于VCM=0V/V+=2.5V/V-=-2.5V

VOH（闭环）

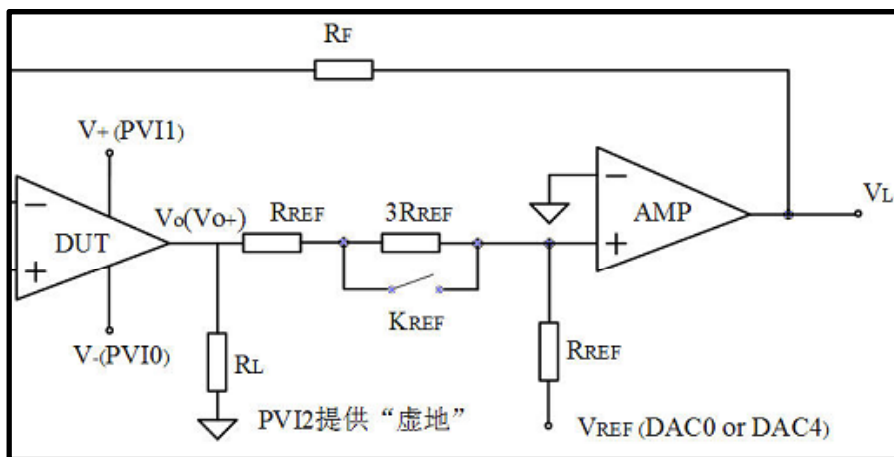
vosm_i	VOSM_I	0	mA	输出源表电流 (QVI)
vosm_irng	VOSM_IRng	±100uA		VOSM电流量程
vosm_vrng	VOSM_VRng	±20V		VOSM电压量程
vosm_cl...	VOSM_Cl...	15	V	VOSM电压上限箝位
vosm cl...	VOSM Cl...	0	V	VOSM电压下限箝位
r1	RL	2K		DUT负载电阻
vo	Vo	15	V	DUT输出电压
r2r1	R2 / R1	4:1		输出控制电阻比例
g_loop	G_Loop	×1000		环路增益
t_loop	T_Loop	10mS		环路积分时间
g_pga	G_PGA	×1		PGA放大器增益
delay	Delay	10	mS	延迟时间1
Sample_No	Sample	10		采样次数

VOH（开环）

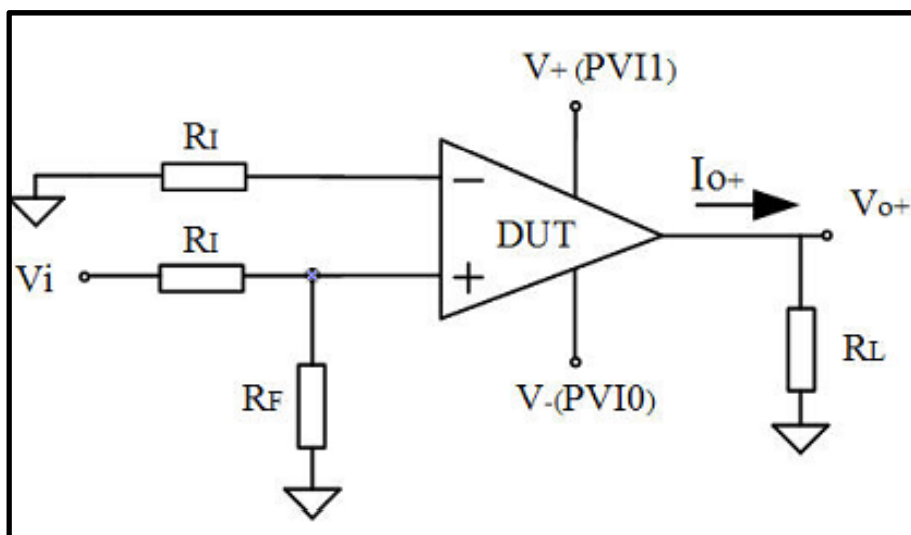
vosm_i	VOSM_I	0	mA	输出源表电流 (QVI)
vosm_irng	VOSM_IRng	±10mA		VOSM电流量程
vosm_vrng	VOSM_VRng	±20V		VOSM电压量程
vosm_cl...	VOSM_Cl...	20	V	VOSM电压上限箝位
vosm cl...	VOSM Cl...	-5	V	VOSM电压下限箝位
r1	RL	2K		DUT负载电阻
opl_mode	OPL_Mode	同输入，反接地		环路选择模式
vin	Vin	0.5	V	DUT输入电压
delay	Delay	10	mS	延迟时间1
Sample_No	Sample	10		采样次数



提供了两种输出负载方式：RL电阻负载或者VOSM提供电流负载

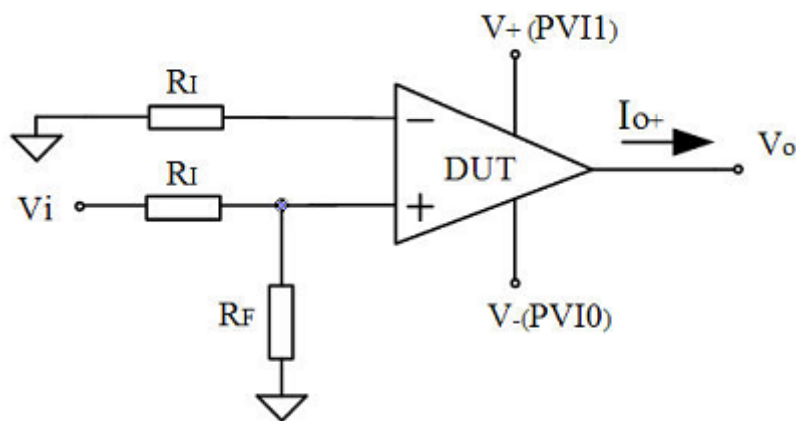


闭环法测试环路和AVO
基本一致，使用辅助运放
设定运放输出为正偏（正
电源电压）或者负偏（负
电源电压）



开环法直接通过设定运
放输入的状态使运放正偏
或者负偏

- 1、两个测试方法本质没有区别，相同部分为 R_L 负载部分和VOSM输出测试部分
- 2、编程条件中，闭环法的“输出电压”和开环法的“输入电压”在器件手册中一般是没有的
- 3、电流方向流出器件为“-”流入器件为“+”



条件	条件标识	条件值	条	描述
vdd	V+		V	器件正电源电压 (PVI1)
vdd_vrng	V+_VRng	±20V		VDD电压量程
vdd_irng	V+_IRng	±1A		VDD电流量程
vdd_clamp1	V+_Clamp1	1	A	VDD电流上限箝位
vdd_clamp2	V+_Clamp2	-10	mA	VDD电流下限箝位
vss	V-		V	器件负电源电压 (PVI0)
vss_vrng	V-_VRng	±20V		VSS电压量程
vss_irng	V-_IRng	±100mA		VSS电流量程
vss_clamp1	V-_Clamp1	10	mA	VSS电流上限箝位
vss_clamp2	V-_Clamp2	-100	mA	VSS电流下限箝位
vosm_v	VOSM_V		V	输出源表电压 (QVI)
vosm_vrng	VOSM_VRng	±10V		VOSM电压量程
vosm_irng	VOSM_IRng	±1A		VOSM电流量程
vosm_cl...	VOSM_Cl...	100	mA	VOSM电流上限箝位
vosm_cl...	VOSM_Cl...	-1	A	VOSM电流下限箝位
opl_mode	OPL_Mode	同输入, 反接地		环路选择模式
vin	Vin	0.5	V	DUT输入电压
delay	Delay	2	mS	延迟时间1
Sample_No	Sample	10		采样次数

1、IO测试均为开环法，原理与VO开环法相同

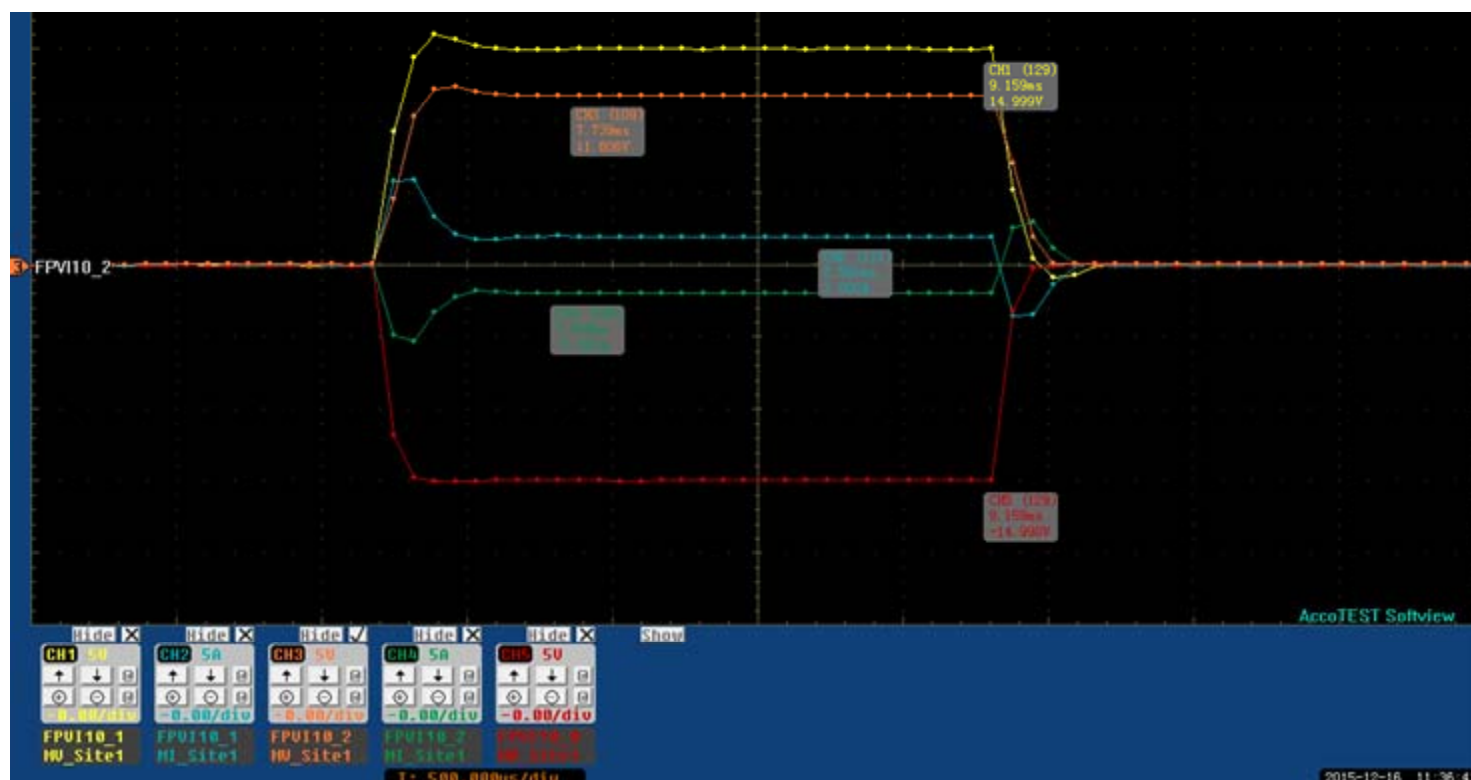
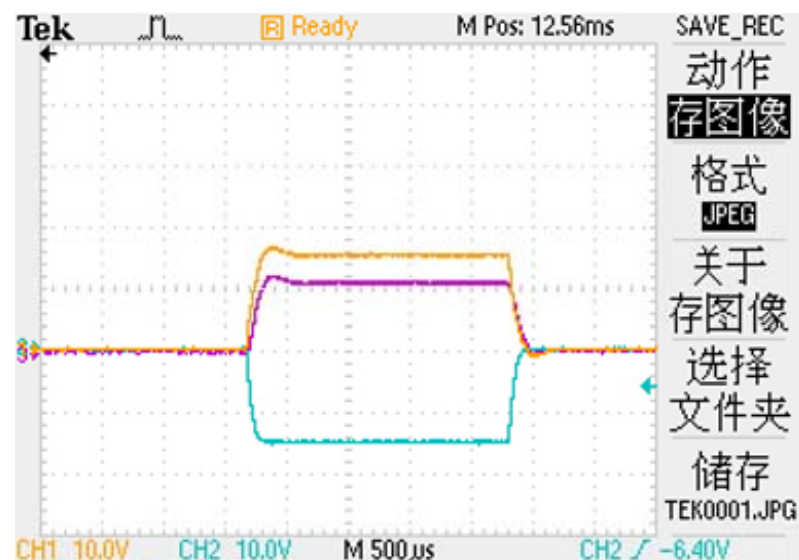
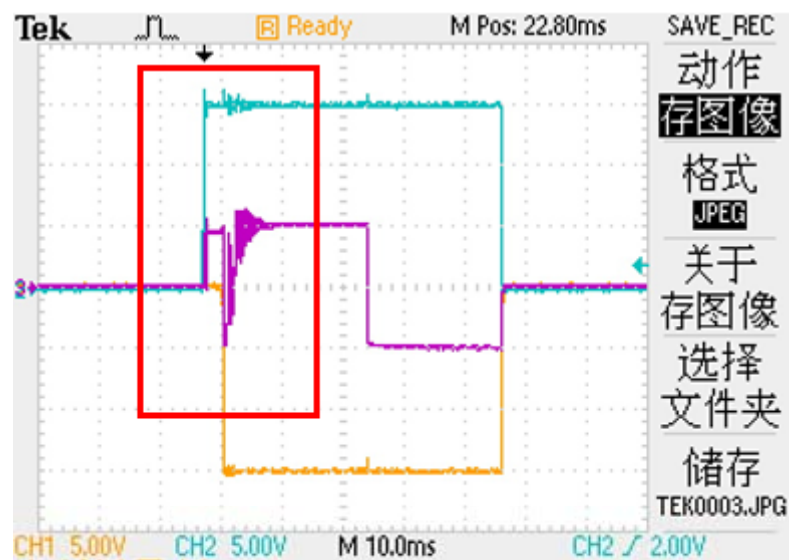
2、输出使用VOSM恒压测流

3、电流流出器件为负，流入器件为正

4、超过100mA的IO测试建议不使用本模板，单独编写功率输出的测试参数

5、超过1A的IO测试无法使用本模板，需要单独开发功率运放适配器和程序

——**STS8205**的浮动源由于具备**AWG**功能，使用该功能同步对运放的正负电源，输出负载的电压电流进行控制，可以比较完美的解决一些功率运放测试过程中的实际问题，如下：



运放的带宽是表示运放能够处理交流信号的能力

对于小信号，一般用单位增益带宽表示。单位增益带宽，也叫做增益带宽积能够大致表示运放的处理信号频率的能力。例如某个运放的增益带宽=1MHz，若实际闭环增益=100，则理论处理小信号的最大频率=1MHz/100=10KHz。

运放的带宽简单来说就是用来衡量一个放大器能处理的信号的频率范围，带宽越高，能处理的信号频率越高，高频特性就越好，否则信号就容易失真，不过这是针对小信号来说的，在大信号时一般用压摆率（或者叫转换速率）来衡量。

比如说一个放大器的放大倍数为n倍，但并不是说对所有输入信号的放大能力都是n倍，当信号频率增大时，放大能力就会下降，当输出信号下降到原来输出的0.707倍时，也就是根号2分之一，或者叫减小了3dB，这时候信号的频率就叫做运放的带宽。

当输出信号幅度很小在0.1Vp-p以下时，主要考虑增益带宽积的影响。当输出信号幅度很大时，主要考虑转换速率Sr的影响，单位是V/uS。在这种情况下要算功率带宽， $FPBW = S_r / 2\pi V_{p-p}$ 。也就是在设计电路时要同时满足增益带宽和功率带宽。

FEATURES

Wide Bandwidth

Small Signal

Large Signal (2 V p-p)

AD8047, $G = +1$

250 MHz

130 MHz

AD8048, $G = +2$

260 MHz

160 MHz

DYNAMIC PERFORMANCE

Bandwidth (-3 dB)

Small Signal

Large Signal¹

$V_{OUT} \leq 0.4$ V p-p

$V_{OUT} = 2$ V p-p

170 250

100 130

180 260

135 160

MHz

MHz

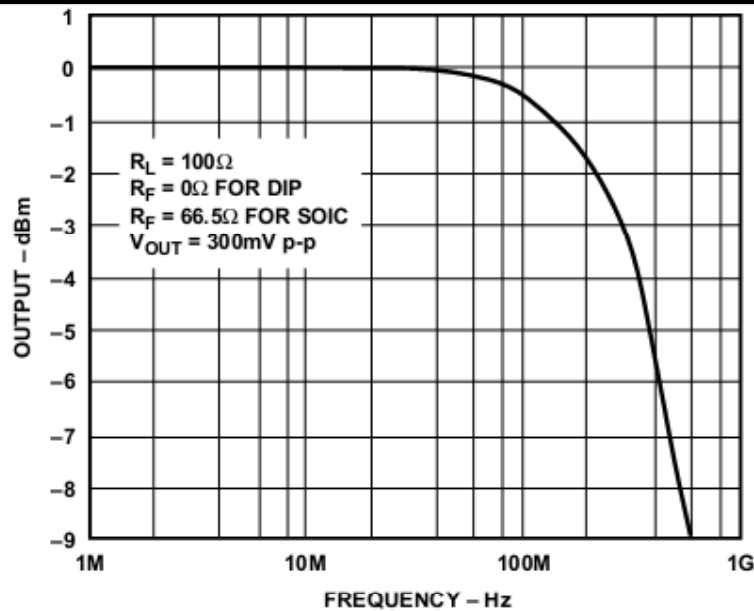


Figure 15. AD8047 Small Signal Frequency Response
 $G = +1$

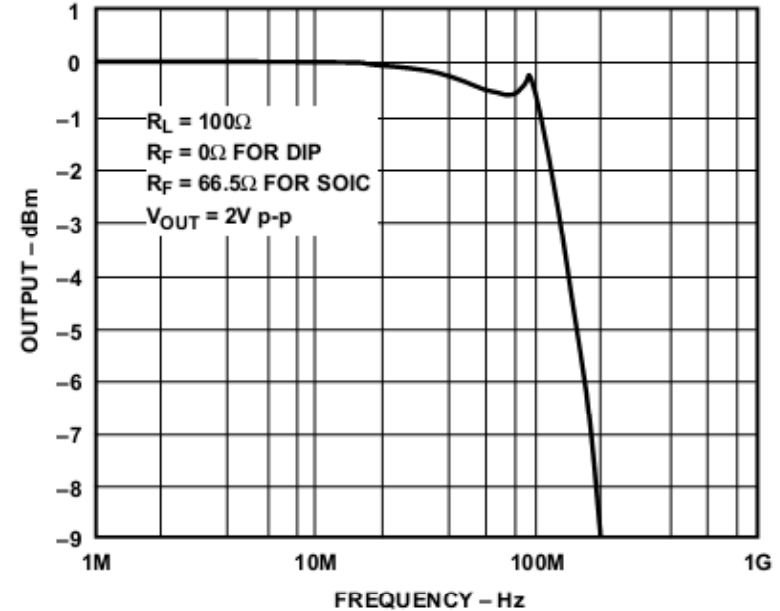


Figure 18. AD8047 Large Signal Frequency Response,
 $G = +1$

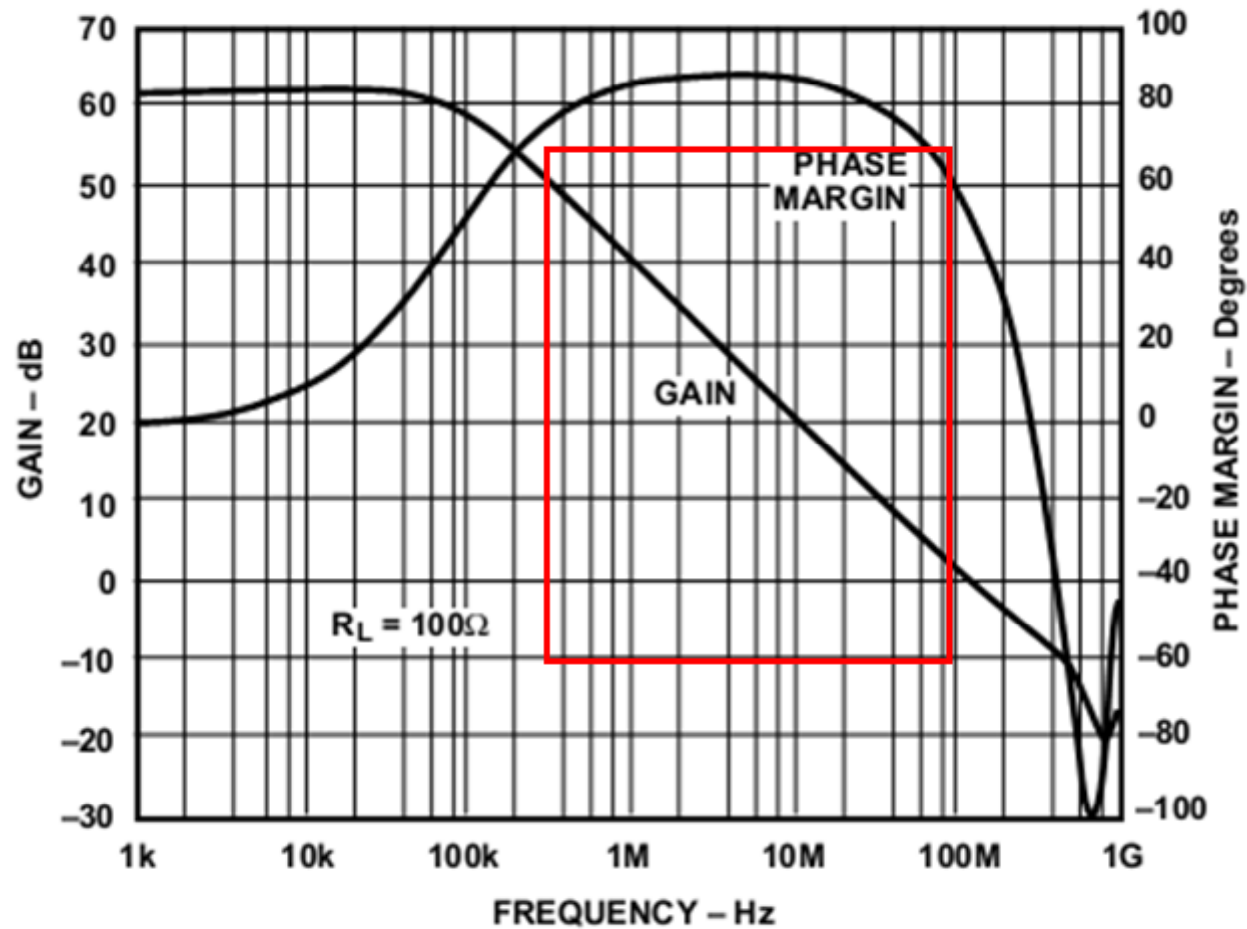
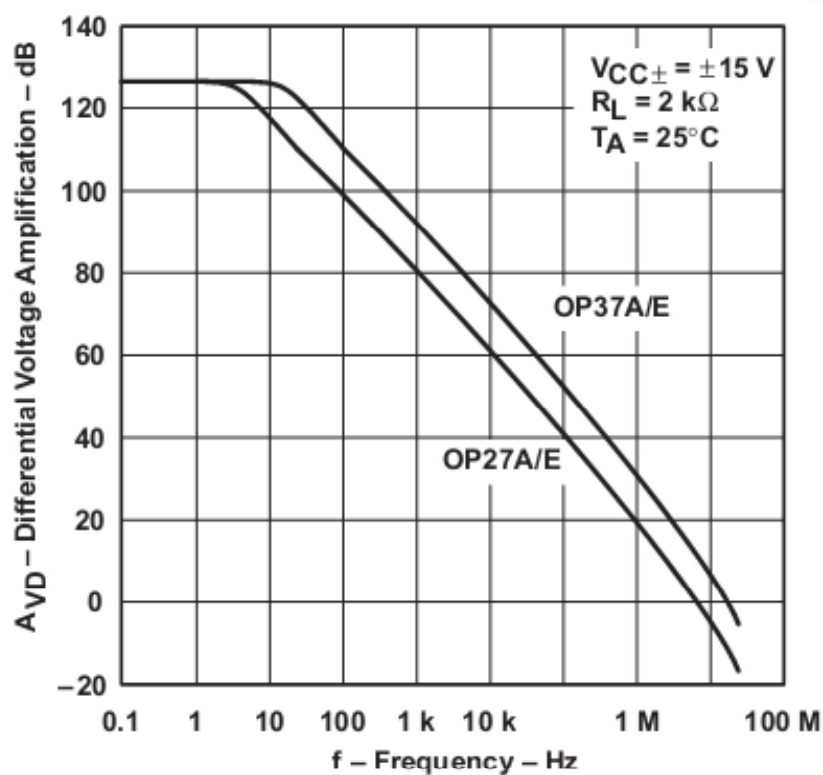
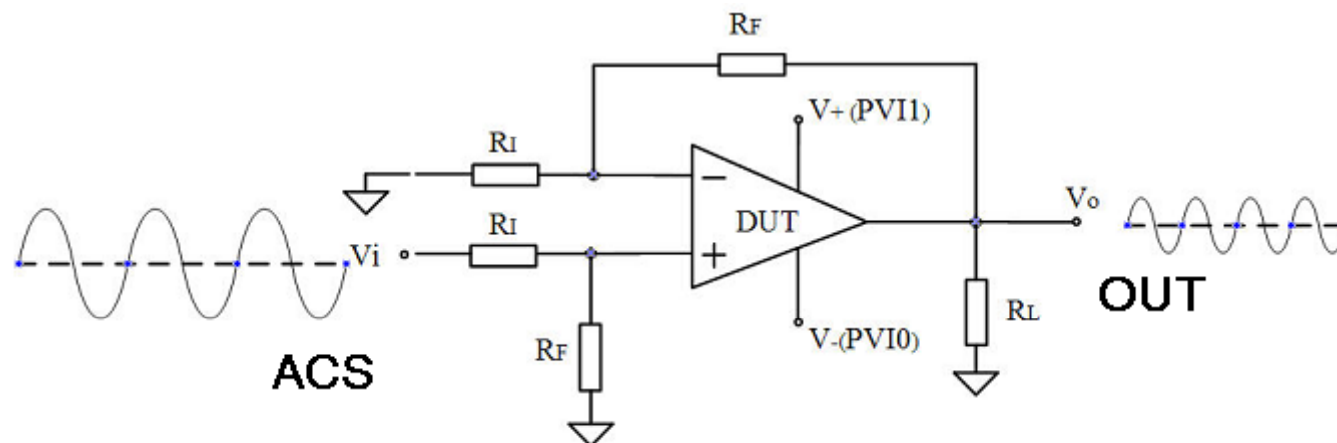


Figure 17. AD8047 Open-Loop Gain and Phase Margin vs. Frequency

在红色线性区域里面选择频率测试增益带宽积比较合适

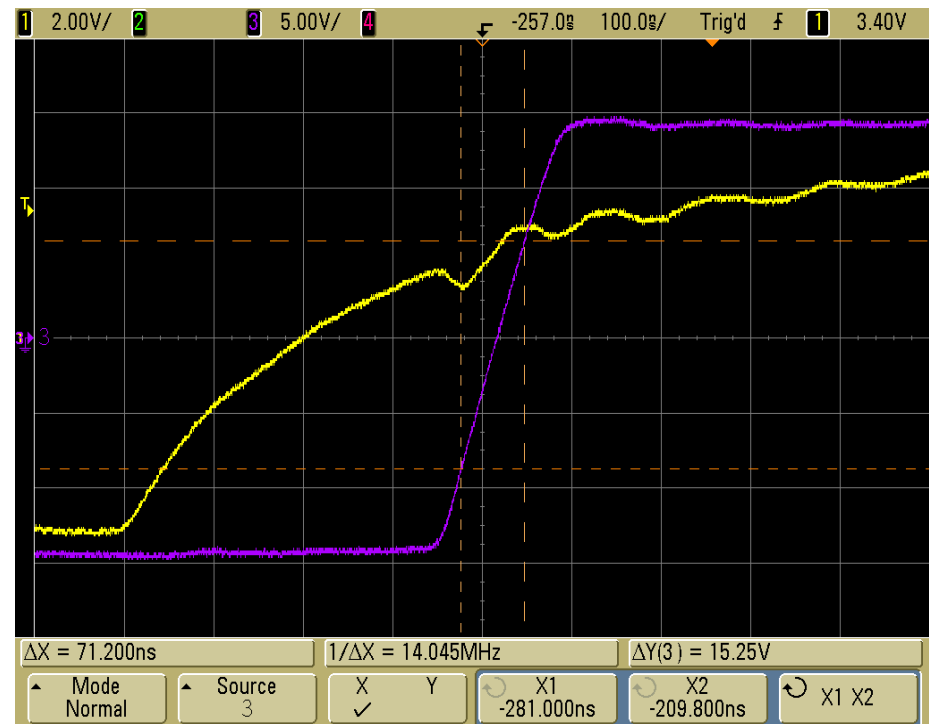
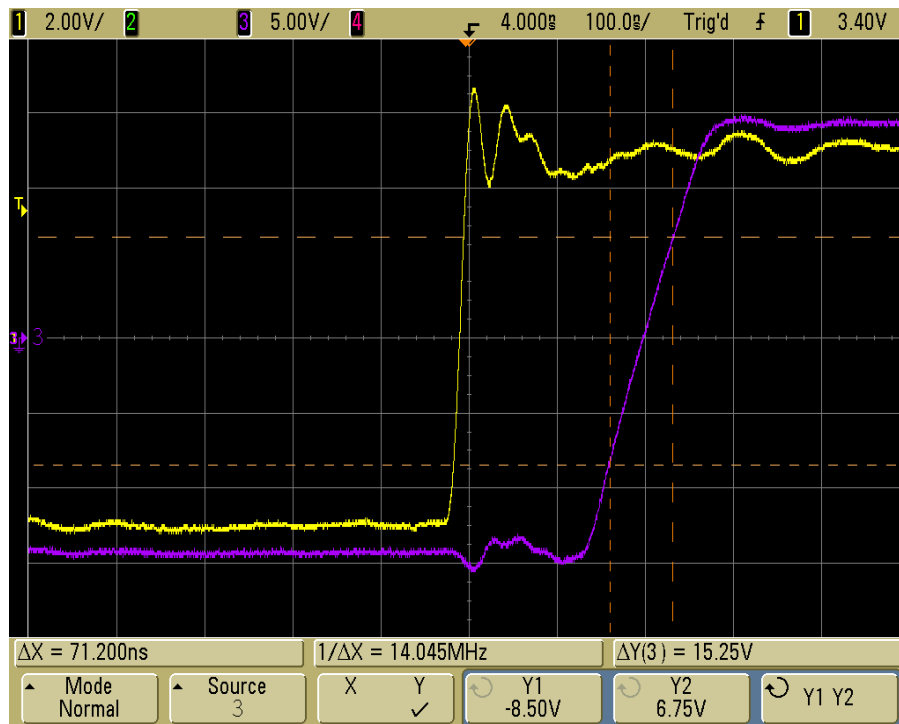
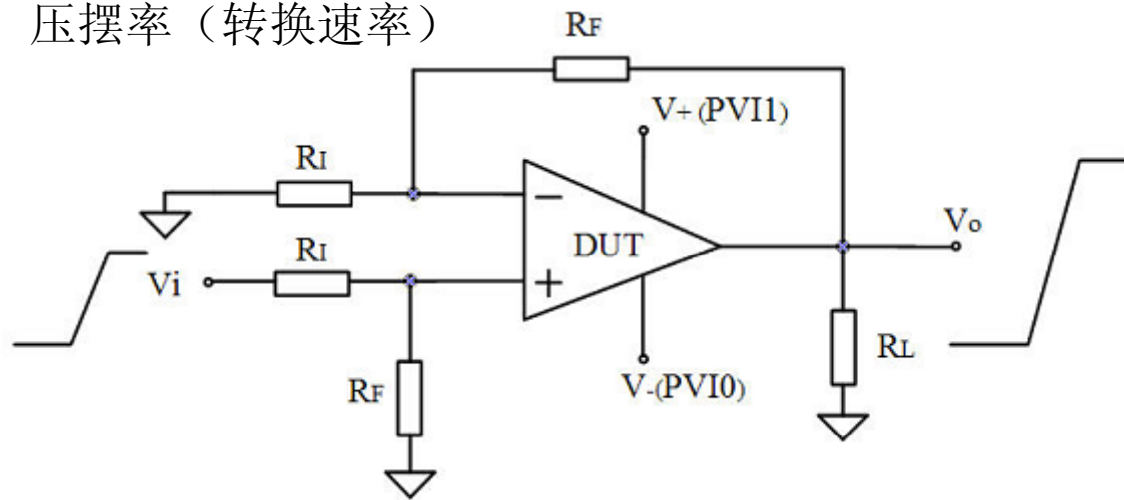


r1	RL	2K	DUT负载电阻
g_loop	G_Loop	×10000	环路增益
vin	Vin	10	V DUT输入电压
fin	Fin	100	K. DUT输入信号频率
delay	Delay	10	mS 延迟时间1
Sample_No	Sample	1000	ACSM采样次数

增益带宽积 V_{in} 为ACS输出信号，经过输入端 R_I/R_F 衰减后，再由 R_F/R_I 放大，由运放输出。增益无衰减时， $V_{in}=V_{out}$ ，在适当的频率下， V_{out} 产生衰减，此时的增益与频率的乘积为增益带宽积。

Gain-bandwidth product	$f = 10 \text{ kHz}$	45	63	MHz
	$A_V \geq 5, \quad f = 1 \text{ MHz}$		40	

压摆率（转换速率）



- 1、OP37实测：VOS、IB波形
- 2、OP37实测：增益带宽积波形
- 3、四运放LMC660编程实例

问题1：根据8205/8105运放环路增益（10000/1000/100）、PGA增益（100/10/1）、IB采样电阻（2M/200K/20K）和10V的DAC测试范围，测试IB判据为10nA的器件应选择的全部环路增益、PGA增益和采样电阻组合。

问题2：写出下面这种运放共模抑制比CMRR使用变电源方法时应该填写的电压值：

COMMON-MODE REJECTION	$V_{CM} = \pm 2.5 \text{ V}$	$\pm 5 \text{ V}$
	$V_{CM} = \pm 12 \text{ V}$	$\pm 15 \text{ V}$

$\pm 5\text{V}$:

$V_{+1} = \underline{\hspace{2cm}}$ $V_{-1} = \underline{\hspace{2cm}}$ $V_{o1} = \underline{\hspace{2cm}}$ $V_{+2} = \underline{\hspace{2cm}}$ $V_{-2} = \underline{\hspace{2cm}}$ $V_{o2} = \underline{\hspace{2cm}}$

$\pm 15\text{V}$:

$V_{+1} = \underline{\hspace{2cm}}$ $V_{-1} = \underline{\hspace{2cm}}$ $V_{o1} = \underline{\hspace{2cm}}$ $V_{+2} = \underline{\hspace{2cm}}$ $V_{-2} = \underline{\hspace{2cm}}$ $V_{o2} = \underline{\hspace{2cm}}$



北京华峰测控技术有限公司
Beijing Huafeng Test & Control Technology Co., Ltd.