运算放大器比较器
测试PGS编程指南

（Rev 2.01）

华峰测控

北京华峰测控技术有限公司

华峰测控
www.hftc.com.cn

目录

、

一、测试基本原理和硬件资源.....1
1. 器件正电源 vdd.....1
2. 器件负电源 vss 2
3. 负载电源 vl 3
4. 负载电阻 rl 4
5. DUT 输出电压 vo 4
6. 输出源表 vosm.....5
7. 环路增益 g_loop 6
8. 环路积分时间 t_loop 7
9. 可编程增益放大器增益 g_pga.....7
10. 16Bit 测量 ADC 7
11. 输入偏置电流采样电阻 rb 8
12. 边沿发生器（Edge Generator） 8
13. 时间测量单元 QTMU.....9
14. 交流源表 acsm 9
15. 共模输入电压源 vcm.....10
16. 差模输入电压电流源 vidm 11
二、具体参数编程指南.....14
1. 输入失调电压 Vos 编程指南.....14
2. 输入偏置电流 Ib+（同相）、Ib-（反相）、Ib，失调电流 Ios 编程指南 16
3. 开环电压增益 AVO 编程指南 18
4. 共模抑制比 CMRR（变电源法）编程指南 20
5. 共模抑制比 CMRR-I （共模输入法）编程指南 22
6. 电源电压抑制比 PSRR 编程指南.....24
7. 输出电压摆幅 VO+（VOH）（闭环法）编程指南.....26
8. 输出电压摆幅 VO+（VOH）（开环法）编程指南.....28
9. 输出电压摆幅 VO-（VOL）（闭环法）编程指南 31
10. 输出电压摆幅 VO-（VOL）（开环法）编程指南 33
11. 输出电压摆幅 VO 编程指南.....37
12. 输出端源电流 IO+ （IOH）编程指南.....38
13. 输出端漏电流 IO- （IOL）编程指南 41

14. 电源电流 Is 编程指南.....44
15. 静态功耗 Ps 编程指南.....46
16. 上升沿压摆率 Sr+编程指南.....48
17. 下跳沿压摆率 Sr-编程指南.....50
18. 增益带宽积 Bw 编程指南.....52

华峰测控

一、测试基本原理和硬件资源

运算放大器、电压比较器参数测试的基本原理符合相关国家标准和国际电工委员会（IEC）的相关标准。原理图如下图 1-1 所示：

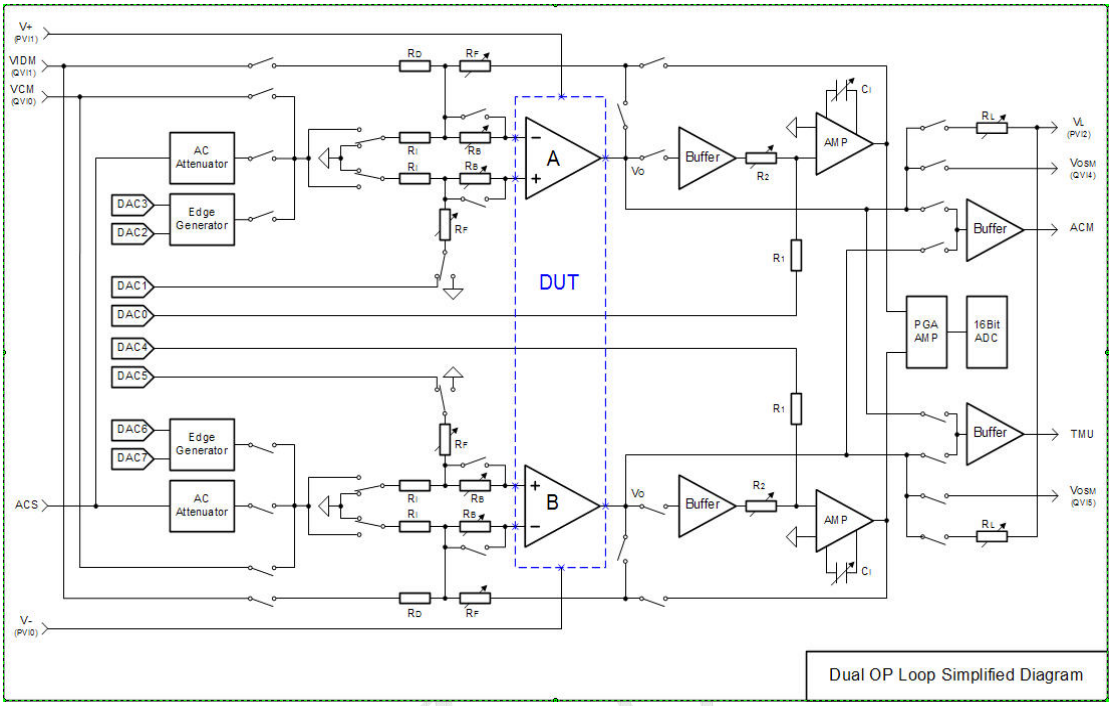

图 1-1

在 STS 8105 混合信号测试系统中测试硬件主要包括测试头中的双运放环模块（DOL）、运放、比较器类别板和相应品种测试适配器，同时还包括测试主机中的双路功率电压电流源（PVI）、四路电压电流源（QVI）、四路时间测量单元（QTMU）、交流源表（ACSM）和用户卡控制单元（CBIT）等硬件资源。

下面根据图 1-1 详细介绍一下各路资源的分配使用情况：

1. 器件正电源 vdd

器件正电源 vdd 由测试主机中的 PVI1 提供，向被测器件（以下简称 DUT）正电源（vdd）端供电，并可完成正电源电流参数的测试。PVI1 固定为恒压（FV）模式。

器件正电源 vdd 的主要编程项如下：

（1） 正电源电压 vdd

a) vdd 输入范围 0~+50V。

b) vdd 应在器件正电源电压量程 vdd_vrng 的量程范围内。

c) vdd 应避免输入负电压以防止 DUT 损坏。

d) 某些参数测试时需要设定两个不同条件的 vdd（例如电源电压抑制比 PSRR），编

程时的编程项采用 vdd1 和 vdd2。

（2） 正电源电压量程 vdd_vrng

a) ±50V，±20V，±10V，±5V，±2V，±1V 和 Auto 共 7 档可选。

b) 所选择的量程应保证覆盖 vdd 项的输入值。

c) 选择 Auto 量程系统将会根据 vdd 项的输入值自动选择最适当的电压量程。

（3） 正电源电流量程 vdd_irng

a) ±10A，±1A，±100mA，±10mA，±1mA，±100uA 共 6 档可选。

b) 电流量程的选择要考虑某些参数 DUT 加载后的负载电流及多单元器件的总负载电流。

c) 在测试电源电流时推荐选择大于电源电流最大值的临近量程。

d) 正常参数测试时,小功率通用运放推荐使用±100mA 量程。

（4） 正电源上限电流箝位 vdd_clamp1

a) 输入范围应在器件正电源电流量程 vdd_irng 选择的量程范围内。

b) 推荐输入所选择的电流量程满量程值或能够含盖大多数测试参数需求的某一值。

（5） 正电源下限电流箝位 vdd_clamp2

a) 输入范围应在器件正电源电流量程 vdd_irng 选择的量程范围内。

b) 为防止 DUT 反方向电流，推荐输入一个较小的下限箝位值。

2. 器件负电源 vss

器件负电源 vss 由测试主机中的 PVI0 提供，向双电源 DUT 的负电源 vss 端供电，并可完成负电源电流参数的测试。器件负电源 **vss** 固定为恒压模式。

器件负电源 vss 的主要编程项如下：

（1） 负电源电压 vss

a） vss 输入范围 0~±50V。(少数情况下为正值比如电源电压抑制比参数的测试)

b） vss 应在器件正电源电压量程 vss_vrng 选择的量程范围内。

c) vss 应避免输入正电压以防止 DUT 损坏。

d) 某些参数测试时需要设定两个不同条件的 vss（例如电源电压抑制比 PSRR），编程时的编程项采用 vss1 和 vss2。(此时可能需要输入正值)

（2） 负电源电压量程 vss_vrng

a） ±50V，±20V，±10V，±5V，±2V，±1V 和 Auto 共 7 档可选。

b） 所选择的量程应保证覆盖 vss 项的输入值。

c） 选择 Auto 量程系统将会根据 vss 项的输入值自动选择最适当的电压量程。

（3） 负电源电流量程 vss_irng

a） ±10A，±1A，±100mA，±10mA，±1mA，±100uA 共 6 档可选。

b） 电流量程的选择要考虑某些参数 DUT 加载后的负载电流及多单元器件的总负载电流。(例如测试双、四运放的 Io 参数时，要求电流量程档要足够大)

c） 在测试电源电流时推荐选择大于电源电流最大值的临近量程。

e) 正常参数测试时，小功率通用运放推荐使用±100mA 量程。

（4） 负电源上限电流箝位 vss_clamp1

a） 输入范围应在器件负电源电流量程 vss_irng 选择的量程范围内。

b） 为防止 DUT 反方向电流，推荐输入一个较小的上限箝位值。

（5） 负电源下限电流箝位 vss_clamp2

a） 输入范围应在器件负电源电流量程 vss_irng 选择的量程范围内。

b） 推荐输入所选择的电流量程满量程值或能够含盖大多数测试参数需求的某一值。

3. 负载电源 vl

负载电源 vl 由测试主机中的 PVI2 提供，将 DUT 的负载电阻 rl 拉到零电位或其它规定电压值。负载电源 vl 固定为恒压(FV)模式。

负载电源 vl 的主要编程项如下：

（1） 负载电源电压 vl

a) vl 输入范围 0~±50V。

b) vl 应在负载电源电压量程 vl_vrng 选择的量程范围内。

（2） 负载电源电压量程 vl_vrng

a) ±50V，±20V，±10V，±5V，±2V，±1V 和 Auto 共 7 档可选。

b) 所选择的量程应保证覆盖 vl 项的输入值。

c) 选择 Auto 量程系统将会根据 vl 项的输入值自动选择最适当的电压量程。

（3） 负载电源电流量程 vl_irng

a) ±10A，±1A，±100mA，±10mA，±1mA，±100uA 共 6 档可选。

b) 电流量程的选择要满足负载电阻 rl 和负载电源电压 vl 的大小及取值。

c) 电流量程的选择要满足多单元运放总负载电流的需求。

d) 正常参数测试时，小功率通用运放推荐使用±100mA 量程。

（4） 负载电源上限电流箝位 vl_clamp1

a) 输入范围应在负载电源电流量程 vl_irng 选择的量程范围内。

b) 推荐输入所选择的电流量程满量程值或能够含盖大多数测试参数需求的某一值。

（5） 负载电源下限电流箝位 vl_clamp2

a) 输入范围应在负载电源电流量程 vl_irng 选择的量程范围内。

b) 推荐输入所选择的电流量程满量程值或能够含盖大多数测试参数需求的某一值。

4. 负载电阻 rl

负载电阻 rl 配合负载电源 vl 使用，向 DUT 输出端提供电阻负载。

a） 分为 None、600Ω、2K、10K、15K、100K、User1、User2 共 8 档可选。

b） 其中 600Ω到 100K 共 5 档由系统(运放、比较器类别板上)提供。

c） User1 和 User2 由用户在测试适配器上自行配置。

d） 如要使 DUT 获得电流负载，可使用输出源表 vosm（QVI8-QVI11）。

5. DUT 输出电压 vo

如图 1-1 所示，DUT 输出电压 vo 由可编程基准电压 DAC0(DAC4)、比例电阻 R1、R2 共同完成控制，其关系为：vo = DAC0 ×(R2 / R1)。

DUT 输出电压 vo 的主要编程项如下：

（1） 输出电压 vo

a） 当 R2 / R1 选择 4：1 时，vo 输入范围为 0~±40V；

当 R2 / R1 选择 1：1 时，vo 输入范围为 0~±10V。

b） 系统会根据 vo 的输入值和选择的输出电压控制电阻比例 R2 / R1 自动计算可编程基准 DAC0（DAC4）的电压。

c） 某些参数测试时需要设定两个不同条件的 vo（例如开环增益 Avo），编程时的编程项采用 vo1 和 vo2。

（2） 输出电压控制电阻比例 R2 / R1

a） 4：1 和 1：1 共 2 档可选。

b） 当输出电压 vo 输入值超过±10V 范围只能选择 4：1。如果选择错误，系统将采用默认的 4：1 档。

c） 正常编程时推荐使用 4：1 档。

6. 输出源表 vosm

如图 1-1 所示，输出源表 vosm（对应系统硬件为 QVI8-QVI11）完成对 DUT 输出端的恒流测压（如 V_{O+}、V_{O-}、V_{OH}、V_{OL} 等参数）和恒压测流（如 I_{O+}、I_{O-}、I_{OS} 等参数）的驱动和测量。

输出源表 V_{OSM} 的主要编程项如下：

（1） 输出源表工作方式 vosm_mode

a） 根据具体参数的测试，分为 FVMI（恒压测流）、FIMV（恒流测压）、Null（无效）共 3 种工作方式。

b） FVMI 方式下（2）-（6）项有效，FIMV 方式下（7）-（11）项有效，Null 方式下输出源表不工作并且不连接到 DUT 输出端。

（2） 输出源表电压 vosm_v（恒压方式）

a） VOSM_V 输入范围 0~±50V。

b） VOSM_V 应在输出源表电压量程 vosm_vrng 所选择的范围内。

c） VOSM_V 输入范围通常应在 V＋和 V－的范围之内。

（3） 输出源表电压量程 vosm_vrng（恒压方式）

a） ±50V，±20V，±10V，±5V，±2V，±1V 和 Auto 共 7 档可选。

b）所选择的量程应保证覆盖 vosm_v 项的输入值。

c）选择 Auto 量程系统将会根据 vosm_v 项的输入值自动选择最适当的电压量程。

（4） 输出源表电流量程 vosm_irng（恒压方式）

a） ±1A，±100mA，±10mA，±1mA，±100uA，±10uA 共 6 档可选。

b） 电流量程的选择要考虑 DUT 输出端加电压后（包括零电压）的实际电流大小。

（5） 输出源表电流箝位上限 vosm_ clamp1（恒压方式）

a） 输入范围应在输出源表电流量程 vosm_irng 所选择的量程范围内。

b） 选择适当的范围使 DUT 能够输出规定的电流同时保证 DUT 的安全。

（6） 输出源表电流箝位下限 vosm_ clamp2（恒压方式）

a） 输入范围应在输出源表电流量程 vosm_irng 所选择的量程范围内

b） 选择适当的范围使 DUT 能够输出规定的电流同时保证 DUT 的安全。

（7） 输出源表电流 vosm_i（恒流方式）

a） vosm_i 输入范围 0~±1A。

b） vosm_i 应在输出源表电流量程 vosm_irng 所选择的范围内。

c） vosm_i 的极性决定了电流的方向，正电流流入 DUT，负电流流出 DUT。

（8） 输出源表电流量程 vosm_irng（恒流方式）

a） ±1A，±100mA，±10mA，±1mA，±100uA，±10uA 和 Auto 共 7 档可选。

b） 所选择的量程应保证覆盖 vosm_i 项的输入值。

c） 选择 Auto 量程系统将会根据 vosm_i 项的输入值自动选择最适当的电流量程。

（9） 输出源表电压量程 vosm_vrng（恒流方式）

a） ±50V，±20V，±10V，±5V，±2V，±1V 共 6 档可选。

b） 电压量程的选择要考虑 DUT 实际输出电压的测量范围。

（10） 输出源表电压箝位上限 vosm_clamp1（恒流方式）

a） 输入范围应在输出源表电压量程 vosm_vrng 所选择的量程范围内。

b） 选择适当的范围使 DUT 能够输出规定的电压同时保证 DUT 的安全。

（11） 输出源表电压箝位下限 vosm_clamp2（恒流方式）

a）输入范围应在输出源表电压量程 vosm_vrng 所选择的量程范围内。

b）选择适当的范围使 DUT 能够输出规定的电压同时保证 DUT 的安全。

7. 环路增益 g_loop

DUT 不论工作在辅助运放闭环还是自身闭环方式下，其环路增益 g_loop 均由反馈电阻 R_F 和输入电阻 R_I 的比例确定，其关系为：g_loop = R_F / R_I。其中反馈电阻 R_F 的阻值可以程序控制，从而得到不同的环路增益。

a） 分为×10000、×1000、×100 三档可选。

b） 环路增益 g_loop 的选择应能保证相关参数测试时，16Bit 测量 ADC 的输入端电压不超过±10V，但应尽量大。

c） 为达到上述要求，需要考虑相应参数的测试范围，同时需要考虑配合 PGA 放大器增益 g_pga 的取值。例如要实现±1mV 输入失调电压 V_{OS} 测试可采用 g_loop = ×10000，g_pga = ×1；也可以采用 g_loop = ×1000，g_pga= ×10；还可以采用 g_loop = ×100，g_pga = ×100 等多种方案。几种方案中 g_loop 和 g_pga 的乘积均为 10000，都可使±1mV 输入失调电压 V_{OS} 在 16Bit ADC 的输入端得到±10V 的测试电压（即满足 V_{OS}×g_loop×g_pga ≤ 10V）。

d） 对于不同性能的运放，选择不同的环路增益可得到更加稳定的环路状态和测量结

果。

8. 环路积分时间 t_loop

图 1-1 中辅助运放（AMP）上的 C_I 为环路积分电容，改变 C_I 的容量就可以改变环路的积分时间，进而可以调整环路的稳定性。

a） 环路积分时间 t_loop 分为 T1(2mS)、T2(5mS)、T3(10mS)、T4(20mS)共四档可选。

b） 当 DUT 在测试中发现有自激振荡的情况，通过选择不同的环路积分时间 t_loop 是抑制自激振荡的有效方法之一。

9. 可编程增益放大器增益 g_pga

如图 1-1 所示，可编程增益放大器在测试线路中放在 16Bit ADC 的前级，可对闭环环路的输出进行进一步的放大，以满足 16Bit ADC 对输入测试电压范围±10V 的需求。

a) 分为×100、×10、×1 三档可选。

b) 根据参数测试要求，g_pga 的选择需要与环路增益 g_loop 配合使用。在满足 16Bit ADC 测试要求（±10V 内，足够大）的前提下，尽量选择大的 g_loop 值。

10. 16Bit 测量 ADC

如上图 1-1 所示，16Bit 测量 ADC 在 PGA 放大器之后，用于读取辅助运放的输出，即各种闭环参数值。

16Bit 测量 ADC 的主要编程项如下：

（1） 延迟时间 delay

a) 延迟时间 delay 是从测试线路搭接完成到 ADC 开始采样之间的延迟等待时间，以求获得稳定的参数数据。

b) 延迟时间 delay 的输入需要兼顾测试数据的稳定和测试时间的长短。

c) 对于稳定时间较长的参数（例如高阻抗运放 pA 级的输入偏置电流）需要较长的延迟时间。

d) 延迟时间可选用 mS 和 uS 为单位。

（2） 采样次数 Sample_No

a） 16Bit ADC 会对测试参数进行重复采样（时间约为 10uS/次采样），后取其平均值。

b） 采样次数 Sample_No 的输入需要兼顾测试数据的稳定和测试时间的长短。

c） 对于微小信号的测试参数（例如高阻抗运放 pA 级的输入偏置电流，低失调运放 uV 级的输入失调电压等）需要较多的采样次数。

11. 输入偏置电流采样电阻 rb

输入偏置电流采样电阻rb用于分别采集DUT同相输入端和反相输入端的输入偏置电流 I_{B+}和 I_{B-}，并由此计算出输入平均偏置电流 I_B 和输入失调电流 I_{OS}。

a) 分为 20K、200K、2M 三档可选。

b) I_B（I_{B+}、I_{B-}）× rb × g_loop × g_pga 应在±10V 电压范围内。

c) 针对特定的 DUT，不同的 rb 和 g_loop 组合会影响环路的稳定性。在满足测试要求的前提下，通常采取如下优先选择次序的原则：环路增益越大越好，偏置电阻越小越好，PGA 增益越小越好。

12. 边沿发生器（Edge Generator）

边沿发生器用于产生陡峭的电压边沿，其起始电平 vin1 和结束电平 vin2 由 DAC2 和 DAC3 进行设置（如图 1-1 所示）。利用所生成的陡峭沿来驱动运放的输入端，并在 DUT 的输出端利用时间测量单元 QTMU 完成压摆率参数 sr 的测试。测试波形示意图如图 1-2 所示：

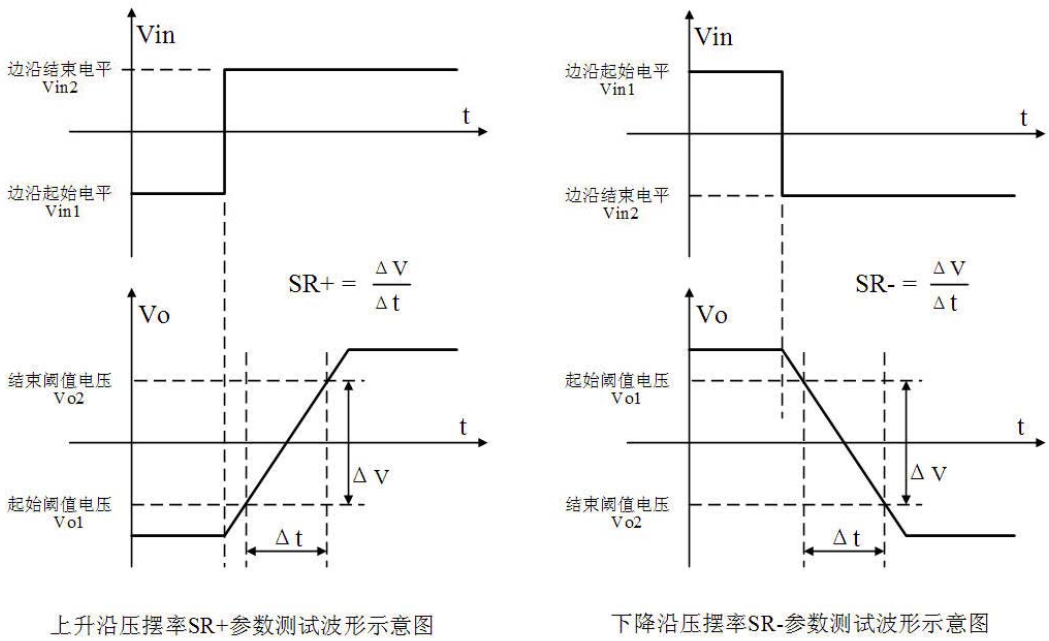

图 1-2

边沿发生器的可编程项如下：

（1） 边沿起始电平 vin1

a） 输入范围为±10V。

b） vin1 为负值，vin2 为正值，产生上跳沿，用于上升压摆率参数的测试。

c） vin1 为正值，vin2 为负值，产生下跳沿，用于下降压摆率参数的测试。

d） 测试该参数时环路接成 DUT 自身闭环方式，环路增益 g_loop 通常设为×100。该状态时采用±1V 的跳变沿通常就可以满足 sr 参数的测试要求。

（2） 边沿结束电平 vin2

a） 输入范围为±10V。

b） vin1 为负值，vin2 为正值，产生上跳沿，用于上升压摆率参数的测试。

c） vin1 为正值，vin2 为负值，产生下跳沿，用于下降压摆率参数的测试。

d） 测试该参数时环路接成 DUT 自身闭环方式，环路增益 g_loop 通常设为×100。该状态时采用±1V 的跳变沿通常就可以满足 sr 参数的测试要求。

13. 时间测量单元 QTMU

时间测量单元 QTMU 配合边沿发生器，完成输出起始阈值电压 vo1 和结束阈值电压 vo2 的设置，并测试时间△t，进而完成运放压摆率参数的测试。

时间测量单元 QTMU 的可编程项如下：

（1） 起始阈值电压 vo1

a) 输入范围为±25V，同时不能超过 vdd 和 vss 的范围。

b) 应选择 DUT 输出曲线的线性区，±15V 供电的 DUT 建议取值在±10V 范围内。

c) Vo1 < Vo2 时，用于检测 DUT 输出上升沿压摆率参数（此时 vin1 为负值，vin2 为正值）。

d) Vo1 > Vo2 时，用于检测 DUT 输出下跳沿压摆率参数（此时 vin1 为正值，vin2 为负值）。

（2） 结束阈值电压 vo2

a） 输入范围为±25V，同时不能超过 vdd 和 vss 的范围。

b） 应选择 DUT 输出曲线的线性区，±15V 供电的 DUT 建议取值在±10V 范围内。

c） Vo1 < Vo2 时，用于检测 DUT 输出上升沿压摆率参数（此时 vin1 为负值，vin2 为正值）。

d） Vo1 > Vo2 时，用于检测 DUT 输出下跳沿压摆率参数（此时 vin1 为正值，vin2 为负值）。

14. 交流源表 acsm

交流源 ACS 和交流表 ACM 完成运放的增益带宽积 bw 参数测试。测试该参数时环路接成 DUT 自身闭环方式。

交流源 ACS 和交流表 ACM 的可编程项如下：

（1） 交流输入电压 vin

a） 交流输入电压 vin 的输入范围为 0-+20V（峰峰值）。

b） 交流衰减器（Attenuator）的倍率与环路增益 g_loop 连动（如当 g_loop 为×100 时，交流衰减器倍率为 1：100），可以确保 DUT 的交流输出电压不会超过交流输入电压 vin。因此在可能的情况下（视 DUT 的电源范围和输出线性区的大小）可以尽量输入较大的交流输入电压 vin。

（2） 交流输入频率 fin

a) 交流输入频率 fin 的输入范围为 0.05K - 100K Hz。

b) 交流输入频率 fin 应使 DUT 在特定的环路增益 g_loop（例如×1000）下其增益带宽曲线进入每倍频程 -6dB 的直线衰减段。

（3） ACSM 采样次数 Sample_No

a) 采样次数的输入范围为 10 – 60000。尽量选取采样信号的整数倍，并采样 10 个周期以上。

b) 当输入频率 fin 低于 50KHz 时 ACSM 采用 16Bit ADC 的采样频率为 200KHz。

c) 当输入频率 fin 高于 50KHz 时 ACSM 采用 12Bit ADC 的采样频率为 10MHz。

15. 共模输入电压源 vcm

共模输入电压源 vcm（QVI0）用于共模输入法测试运放的共模抑制比（通常采用的变电源法无需使用 vcm），vcm 可通过相应继电器将共模电压同时施加到运放的两个输入端。共模输入电压源固定采用恒压（FV）模式。

共模输入电压源 vcm 的主要编程项如下：

（1） 共模电压 vcm

a） vcm 输入范围 0~±50V，且不应超过器件电源 vdd 和 vss 的范围。

b） vcm 不应超过所选择电压量程 vcm_vrng 的范围。

c） vcm 通常不应超过 DUT 详细规范规定的最大范围。

（2） 共模电压源电压量程 vcm_vrng

a） ±50V，±20V，±10V，±5V，±2V，±1V 和 Auto 共 7 档可选。

b） 所选择电压量程应保证覆盖 vcm 的输入值。

c） 选择 Auto 量程系统将会根据 vcm 项的输入值自动选择最适当的电压量程。

（3） 共模电压源电流量程 vcm_irng

a） ±1A，±100mA，±10mA，±1mA，±100uA，±10uA 共 6 档可选。

b） 电流量程的选择要考虑差模输入电压源 vidm 工作时有可能产生的电流。

c） 电流量程的选择要考虑多单元同时测试时有可能产生的电流。

d） 正常参数测试时，小功率通用运放推荐使用±1mA 电流量程。

（4） 共模电压源上限电流箝位 vcm_clamp1

a） 输入范围应在共模电压源电流量程 vcm_irng 所选择的量程范围内。

b） 电流量程的选择要考虑多单元同时测试时有可能产生的电流。

（5） 共模电压源下限电流箝位 vcm_clamp2

a） 输入范围应在共模电压源电流量程 vcm_irng 所选择的量程范围内。

b） 电流量程的选择要考虑多单元同时测试时有可能产生的电流。

16. 差模输入电压电流源 vidm

差模输入电压电流源 vidm（QVI1）通过 RD（10K）和 RI（100Ω）向 DUT 的两个输入端之间提供精密的差模电压，并且可以在由 vcm 提供共模电压的基础上提供差模电压。

差模输入电压电流源 vidm 的主要编程项如下：

（1） 差模电压电流源工作方式 vidm_mode

a） 差模电压电流源具有两种工作方式，恒压（FV）方式和恒流（FI）方式。

b） 差模电压电流源恒压方式下可并行同时向 DUT 多个单元提供差模输入电压。

c） 差模电压电流源恒流方式下只能串行向 DUT 的多个单元提供差模输入电流。

d） 差模电压电流源恒流方式下的差模电压 vidm_v = vidm_i×100Ω，因此可以获得精确的更小差模电压。

（2） 差模电压电流源电压 vidm_v（恒压方式）

a） vidm 输入范围 0~±50V，且不应使 DUT 输入端超过器件规定的最大允许差模输入电压。

b） vidm 不应超过所选择电压量程 vidm_vrng 的范围。

c） DUT 的差模输入电压 = vidm_v ×100Ω /（10K+100Ω）。

（3） 差模电压电流源电压量程 vidm_vrng（恒压方式）

a) ±50V，±20V，±10V，±5V，±2V，±1V 和 Auto 共 7 档可选。

b) 所选择电压量程应保证覆盖 vidm 的输入值。

c) 选择 Auto 量程系统将会根据 vidm 项的输入值自动选择最适当的电压量程。

（4） 差模电压电流源电流量程 vidm_irng（恒压方式）

a） ±10mA，±1mA，±100uA，±10uA 共 4 档可选。

b） 鉴于 RD 和 RI 的取值，vidm_irng 无需选择±10mA 以上的电流量程。

c） 电流量程的选择要考虑多单元同时测试时有可能产生的电流。

（5） 差模电压电流源上限电流箝位 vidm_clamp1（恒压方式）

a） 输入范围应在差模电压源电流量程 vidm_irng 所选择的量程范围内。

b） 电流箝位的输入要考虑多单元同时测试时有可能产生的电流。

（6） 差模电压电流源下限电流箝位 vidm_clamp2（恒压方式）

a） 输入范围应在共模电压源电流量程 vidm_irng 所选择的量程范围内。

b） 电流箝位的输入要考虑多单元同时测试时有可能产生的电流。

（7） 差模电压电流源电流 vidm_i（恒流方式）

a） vidm 输入范围 0~±10mA，且不应使 DUT 输入端超过器件规定的最大允许差模输入电压。

b） vidm 不应超过所选择电流量程 vidm_irng 的范围。

c） DUT 的差模输入电压 = vidm_i ×100Ω。

（8） 差模电压电流源电流量程 vidm_irng（恒流方式）

a） ±10mA，±1mA，±100uA，±10uA 共 4 档可选。

b） 鉴于 RI 的取值，vidm_irng 无需选择±10mA 以上的电流量程。

（9） 差模电压电流源电压量程 vidm_vrng（恒流方式）

a） ±50V，±20V，±10V，±5V，±2V，±1V 和 Auto 共 7 档可选。

b） 选择 Auto 量程系统将会根据 vidm 项的输入值自动选择最适当的电压量程。

c） 所选择电压量程应保证大于 vidm_i ×（RD + RI）。

（10） 差模电压电流源上限电压箝位 vidm_clamp1（恒流方式）

a） 输入范围应在差模电压源电流量程 vidm_irng 所选择的量程范围内。

b） 电压箝位的输入要考虑大于 vidm_i ×（RD + RI）。

（11） 差模电压电流源下限电压箝位 vidm_clamp2（恒流方式）

a） 输入范围应在共模电压源电流量程 vidm_irng 所选择的量程范围内。

b） 电压箝位的输入要考虑大于 vidm_i ×（RD + RI）。

华峰测控

二、具体参数编程指南

1. 输入失调电压 Vos 编程指南

参数定义：在规定的电源电压下，使被测器件输出电压为零（或规定值）时，两输入端间所加的直流补偿电压。

Vos 参数测试原理图如图 2-1-1 所示：

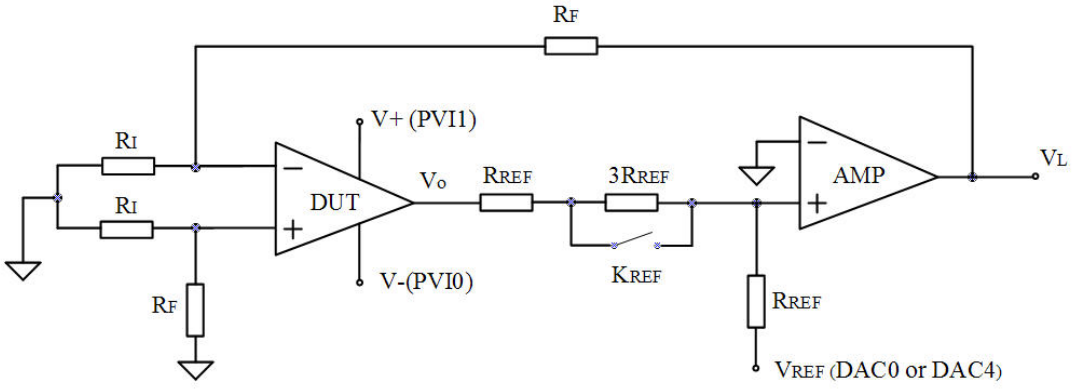

图 2-1-1

原理说明：

1. 器件电源端通过 PVI1 与 PVI0 施加规定的电源电压 V+、V-。
2. 通过设置基准电压 V_{REF}（DAC0、DAC4），使被测器件输出电压 Vo 设为规定值。
3. 在辅助运放输出端测试输出电压 V_L。
4. 输入失调电压 Vos = V_L /（R_F / R_I）。

手册示例：（单运放 OP177G）

ELECTRICAL CHARACTERISTICS (@ V_S = ±15 V, T_A = +25°C, unless otherwise noted) **OP177**

Parameter	Symbol	Conditions	OP177E Min	OP177E Typ	OP177E Max	OP177F Min	OP177F Typ	OP177F Max	OP177G Min	OP177G Typ	OP177G Max	Units
Input Offset Voltage	V_{OS}			4	10		10	25		20	60	μV

图 2-1-2

编程示例：(单运放 OP177G）

test_vos								
		vos	VOS		60	uV	0.000	1

器件正电源电压（PVI1）	vdd (0)	V+	15	V
VDD电压量程	vdd_vrng (1)	V+_VRng	±20V	
VDD电流量程	vdd_irng (2)	V+_IRng	±100mA	
VDD电流上限箝位	vdd_clamp1 (3)	V+_Clamp1	100	mA
VDD电流下限箝位	vdd_clamp2 (4)	V+_Clamp2	-10	mA
器件负电源电压（PVIO）	vss (5)	V-	-15	V
VSS电压量程	vss_vrng (6)	V-_VRng	±20V	
VSS电流量程	vss_irng (7)	V-_IRng	±100mA	
VSS电流上限箝位	vss_clamp1 (8)	V-_Clamp1	10	mA
VSS电流下限箝位	vss_clamp2 (9)	V-_Clamp2	-100	mA
负载电源电压（PVI2）	vl (10)	VL	0	V
VL电压量程	vl_vrng (11)	VL_VRng	±10V	
VL电流量程	vl_irng (12)	VL_IRng	±100mA	
VL电流上限箝位	vl_clamp1 (13)	VL_Clamp1	100	mA
VL电流下限箝位	vl_clamp2 (14)	VL_Clamp2	-100	mA
DUT负载电阻	rl (15)	RL	None	
DUT输出电压	vo (16)	Vo	0	V
输出控制电阻比例	r2r1 (17)	R2 / R1	4:1	
环路增益	g_loop (18)	G_Loop	×10000	
环路积分时间	t_loop (19)	T_Loop	2mS	
PGA放大器增益	g_pga (20)	G_PGA	×10	
延迟时间1	delay (21)	Delay	10	mS
采样次数	Sample_No (22)	Sample	100	

图 2-1-3

编程说明：

1. 根据数据手册规定的合格判据设定判据项。
2. 根据数据手册设定器件电源 Vdd 和 Vss。Vdd 和 Vss 项有时不在手册的测试条件栏中，需参考数据手册中表格首部的隐含测试条件。对于单电源器件，Vss 应设为 0V。
3. 根据数据手册规定测试条件设定输出电压 Vo 项。若无明确规定，对于正负电源的器件一般设为 0V。对于单电源器件 Vo 设为 0V 和 Vdd 之间的某一值（例如 1.4V）。
4. 对于高阻抗器件有时需要在测试 Vos 参数时增加适当的测试延时。
5. 环路增益和 PGA 的增益选择，应能保证 Vos 参数测试时 ADC 的输入电压不超过±10V，但是要尽量大。
6. 对于低失调运放（uV 级）的 Vos 参数测试需要较多的采样次数。

2. 输入偏置电流 Ib+（同相）、Ib-（反相）、Ib，失调电流 Ios 编程指南

参数定义：

Ib+：在规定的电源电压下，使被测器件输出电压为零（或规定值）时，流入（或流出）器件同相端的电流。

Ib-：在规定的电源电压下，使被测器件输出电压为零（或规定值）时，流入（或流出）器件反相端的电流。

Ib： 在规定的电源电压下，使被测器件输出电压为零（或规定值）时，流入（或流出）器件两输入端的平均电流。

Ios：在规定的电源电压下，使被测器件输出电压为零（或规定值）时，流入（或流出）器件两输入端的电流之差。

Ib 相关参数测试原理图如图 2-2-1 所示：

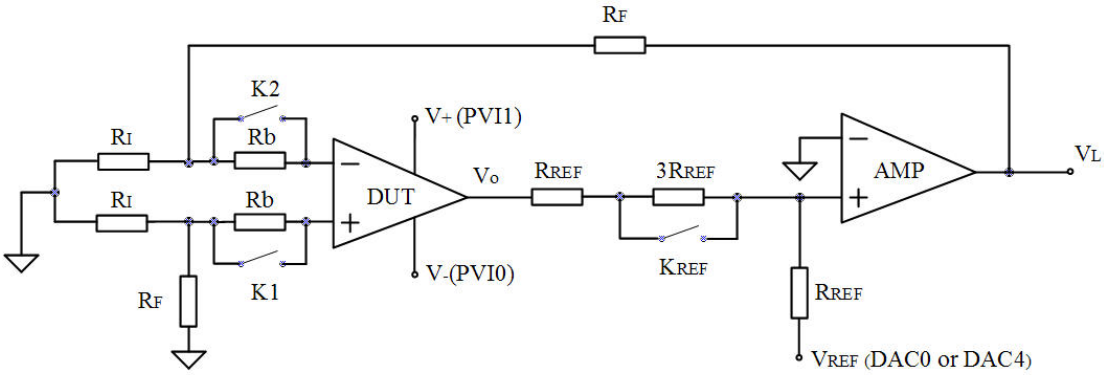

图 2-2-1

原理说明：

1. 器件电源端通过 PVI1 与 PVI0 施加规定的电源电压 V+、V-。
2. 通过设置基准电压 V_{REF}（DAC0、DAC4）使被测器件输出电压 V_O 设为规定值。
3. 闭合开关 K_1 和 K_2，在辅助运放输出端测试输出电压 V_{L0}。
4. 断开开关 K_1，在辅助运放输出端测试输出电压 V_{L1}。
5. 同相端输入偏置电流 $Ib+ = (V_{L1} - V_{L0}) \times R_I / (R_F \times R)$。
6. 闭合开关 K_1，断开开关 K_2，在辅助运放输出端测试输出电压 V_{L2}。
7. 反相端输入偏置电流 $Ib- =(V_{L2} - V_{L0}) \times R_I / (R_F \times R)$。
8. 输入偏置电流 $Ib = (Ib+ + Ib-) / 2$。
9. 输入失调电流 $Ios = Ib+ - Ib-$。

手册示例：（单运放 OP177G）

ELECTRICAL CHARACTERISTICS (@ V_S = ±15 V, T_A = +25°C, unless otherwise noted) **OP177**

Parameter	Symbol	Conditions	OP177E Min	OP177E Typ	OP177E Max	OP177F Min	OP177F Typ	OP177F Max	OP177G Min	OP177G Typ	OP177G Max	Units
Input Offset Voltage	V_{OS}			4	10		10	25		20	60	µV
Long-Term Input Offset Voltage Stability	ΔV_{OS}/Time	(Note 1)		0.2			0.3			0.4		µV/Mo
Input Offset Current	I_{OS}			0.3	1.0		0.3	1.5		0.3	2.8	nA
Input Bias Current	I_B		–0.2	1.0	1.5	–0.2	1.2	2.0	–0.2	1.2	2.8	nA

图 2-2-2

编程示例：(单运放 OP177G）

test_ib	☑							
		ib2	IB-		2.8	nA	0.000	1
		ib1	IB+		2.8	nA	0.000	1
		ib	IB	-0.2	2.8	nA	0.000	1
		ios	IOS		2.8	nA	0.000	1

器件正电源电压（PVI1）	vdd (0)	V+	15	V
VDD电压量程	vdd_vrng (1)	V+_VRng	±20V	
VDD电流量程	vdd_irng (2)	V+_IRng	±100mA	
VDD电流上限箝位	vdd_clamp1...	V+_Clamp1	100	mA
VDD电流下限箝位	vdd_clamp2...	V+_Clamp2	-10	mA
器件负电源电压（PVI0）	vss (5)	V-	-15	V
VSS电压量程	vss_vrng (6)	V-_VRng	±20V	
VSS电流量程	vss_irng (7)	V-_IRng	±100mA	
VSS电流上限箝位	vss_clamp1...	V-_Clamp1	10	mA
VSS电流下限箝位	vss_clamp2...	V-_Clamp2	-100	mA
负载电源电压（PVI2）	vl (10)	VL	0	V
VL电压量程	vl_vrng (11)	VL_VRng	±10V	
VL电流量程	vl_irng (12)	VL_IRng	±100mA	
VL电流上限箝位	vl_clamp1 ...	VL_Clamp1	100	mA
VL电流下限箝位	vl_clamp2 ...	VL_Clamp2	-100	mA
DUT负载电阻	rl (15)	RL	None	
DUT输出电压	vo (16)	Vo	0	V
输出控制电阻比例	r2r1 (17)	R2 / R1	4:1	
IB采样电阻	rb (18)	Rb	200K	
环路增益	g_loop (19)	G_Loop	×10000	
环路积分时间	t_loop (20)	T_Loop	2mS	
PGA放大器增益	g_pga (21)	G_PGA	×1	
延迟时间1	delay (22)	Delay	20	mS
采样次数	Sample_No ...	Sample	50	

图 2-2-3

编程说明：

1. 根据数据手册规定的合格判据设定判据项。
2. 根据数据手册设定器件电源 Vdd 和 Vss。对于单电源器件 Vss 应设为 0V。
3. 根据数据手册规定的测试条件设定器件输出电压 Vo 项。若无说明对于正负电源器件一般 Vo 应设为 0V，对于单电源器件 Vo 的设置可参照 Vos 参数。
4. 对于高阻抗器件有时需要在测试 Ib+ 参数时加测试延时和采样次数。
5. 需要注意：（Ib（Ib+、Ib-）× rb × g_loop × g_pga ） 应在±10V 电压范围内。
6. 偏置电流 Ib、失调电流 Ios 参数的测试提取了 Ib+ 和 Ib- 的测试结果并对其计算得到。
7. 在选择偏置电阻 rb，环路增益 g_loop，PGA 增益 g_pga 时，为了获取稳定的环路和测量结果，在满足第 5 条的前提下，建议采用如下优先次序选择原则：首先环路增益 g_loop

越大越好，其次偏置电阻 rb 越小越好，最后是 PGA 增益 g_pga 在±10V 范围内越大越好。

8. 对于高阻抗、低输入失调电流器件的 IB 相关参数测试，应适当增加延时和采样次数。

3. 开环电压增益 AVO 编程指南

参数定义：器件开环时，在规定的电源电压、负载电阻和输出电压范围内，输出电压变化与差模输入电压变化之比。

Avo 参数（闭环）测试原理图如图 2-3-1 所示：

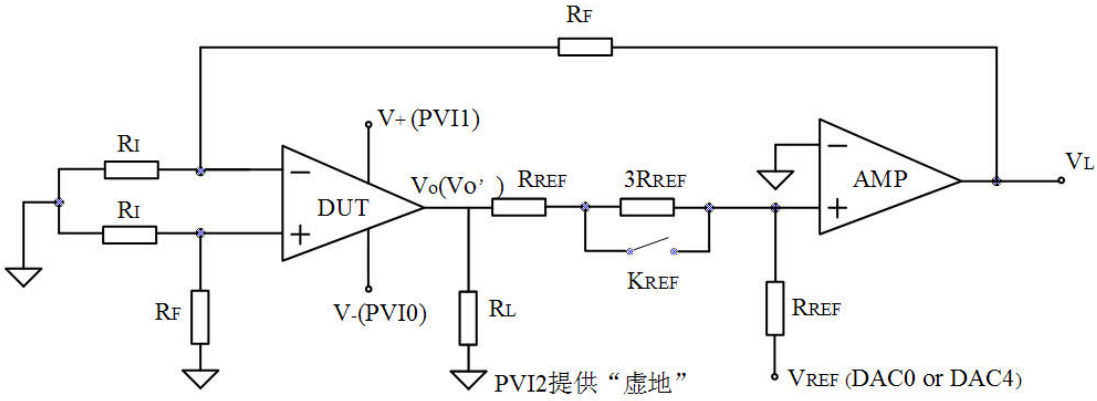

图 2-3-1

原理说明：

1. 开环电压增益也称大信号电压增益，根据测试标准在实际测试中采用闭环方法进行测试。
2. 器件电源端通过 PVI1 和 PVI0 施加规定的电源电压 V+、V-。
3. 器件输出端接入规定的负载电阻 R_L。
4. 通过设置基准电压 V_{REF}（DAC0、DAC4），使被测器件输出电压 V_O 设定为规定值。
5. 在辅助运放输出端测试输出电压 V_{L1}。
6. 通过设置基准电压 V_{REF}，使被测器件输出电压 V_O' 设定为规定值。
7. 在辅助运放输出端测试输出电压 V_{L2}。
8. 开环电压增益 $AVO = (V_O' - V_O) / ((V_{L2} - V_{L1}) / (R_F / R_I))$。

手册示例：（单运放 OP177G）

ELECTRICAL CHARACTERISTICS (@ V_S = ±15 V, T_A = +25°C, unless otherwise noted)

OP177

Parameter	Symbol	Conditions	OP177E Min	OP177E Typ	OP177E Max	OP177F Min	OP177F Typ	OP177F Max	OP177G Min	OP177G Typ	OP177G Max	Units
Input Offset Voltage	V_{OS}			4	10		10	25		20	60	μV
Long-Term Input Offset Voltage Stability	ΔV_{OS}/Time	(Note 1)		0.2			0.3			0.4		μV/Mo
Input Offset Current	I_{OS}			0.3	1.0		0.3	1.5		0.3	2.8	nA
Input Bias Current	I_B		−0.2	1.0	1.5	−0.2	1.2	2.0	−0.2	1.2	2.8	nA
Input Noise Voltage	e_n	f_o = 1 Hz to 100 Hz[2]		118	150		118	150		118	150	nV rms
Input Noise Current	i_n	f_o = 1 Hz to 100 Hz[2]		3	8		3	8		3	8	pA rms
Input Resistance Differential-Mode	R_{IN}	(Note 3)	26	45		26	45		18.5	45		MΩ
Input Resistance Common-Mode	R_{INCM}			200			200			200		GΩ
Input Voltage Range	IVR	(Note 4)	±13	±14		±13	±14		±13	±14		V
Common-Mode Rejection Ratio	CMRR	V_{CM} = ±13 V	130	140		130	140		115	140		dB
Power Supply Rejection Ratio	PSRR	V_S = ±3 V to ±18 V	120	125		115	125		110	120		dB
Large Signal Voltage Gain	A_{VO}	R_L ≥ 2 kΩ, V_O = ±10 V[5]	5000	12000		5000	12000		2000	6000		V/mV
Output Voltage												

图 2-3-2

编程示例：(单运放 OP177G）

test_avo	☑							
		avo	AVO	2000		V/mV	0.0	1
器件正电源电压（PVI1）	vdd (0)	V+	15	V				
VDD电压量程	vdd_vrng (1)	V+_VRng	±20V					
VDD电流量程	vdd_irng (2)	V+_IRng	±100mA					
VDD电流上限箝位	vdd_clamp1 (3)	V+_Clamp1	100	mA				
VDD电流下限箝位	vdd_clamp2 (4)	V+_Clamp2	-10	mA				
器件负电源电压（PVI0）	vss (5)	V-	-15	V				
VSS电压量程	vss_vrng (6)	V-_VRng	±20V					
VSS电流量程	vss_irng (7)	V-_IRng	±100mA					
VSS电流上限箝位	vss_clamp1 (8)	V-_Clamp1	10	mA				
VSS电流下限箝位	vss_clamp2 (9)	V-_Clamp2	-100	mA				
负载电源电压（PVI2）	vl (10)	VL	0	V				
VL电压量程	vl_vrng (11)	VL_VRng	±5V					
VL电流量程	vl_irng (12)	VL_IRng	±100mA					
VL电流上限箝位	vl_clamp1 (13)	VL_Clamp1	100	mA				
VL电流下限箝位	vl_clamp2 (14)	VL_Clamp2	-100	mA				
DUT负载电阻	rl (15)	RL	2K					
DUT输出电压+10V	vo1 (16)	Vo1	10	V				
DUT输出电压-10V	vo2 (17)	Vo2	-10	V				
输出控制电阻比例	r2r1 (18)	R2 / R1	4:1					
环路增益	g_loop (19)	G_Loop	×10000					
环路积分时间	t_loop (20)	T_Loop	2mS					
PGA放大器增益	g_pga (21)	G_PGA	×1					
延迟时间1	delay (22)	Delay	20	mS				
采样次数	Sample_No (23)	Sample	50					

图 2-3-3

编程说明：

1. 数据手册中 AVO 参数的单位为 V/mV 或者 dB，编程时选择对应得单位系统能自动进行转换。
2. 根据数据手册规定的合格判据（必要时经转换）设定 判据项。
3. 根据数据手册通过 PVI1 和 PVI0 设定器件电源 Vdd 和 Vss。Vdd 和 Vss 项有时不在手册的测试条件栏中，需参考数据手册中表格首部的隐含测试条件。对于单电源器件，Vss 应设为 0V。

4. 根据数据手册规定的测试条件设定输出电压 V_{O1} 和 V_{O2} 项。
5. 根据数据手册规定的测试条件设定负载电阻 R_L。注意：程序提供的 R_L 选择为 None、0.6K 至 100K、User1、User2 八个档位可选。
6. 对于开环增益 AVO 大于 110dB 的高增益器件，应增加适当延时。

4. 共模抑制比 CMRR（变电源法）编程指南

参数定义：在规定的电源电压和输出电压范围内，差模电压增益与共模电压增益之比。

CMRR 参数（变电源法）测试原理图如图 2-4-1 所示：

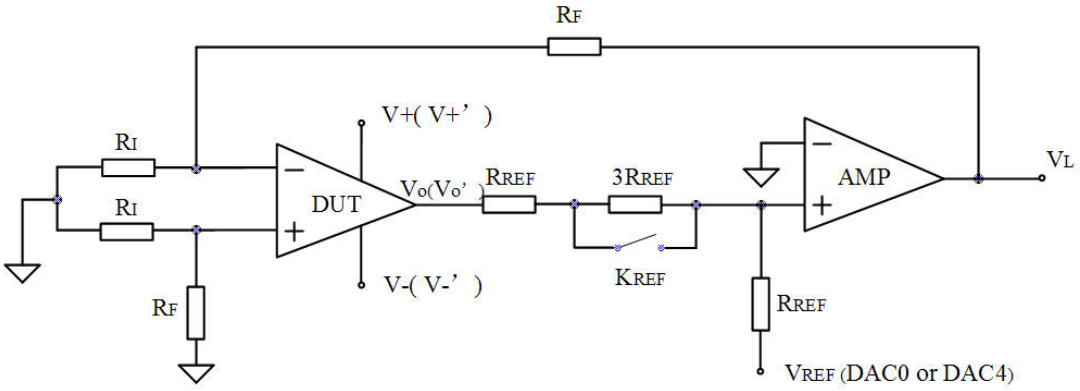

图 2-4-1

原理说明：

1. 共模抑制比（变电源法）采用同时改变器件电源 V+ 和 V- 的方法，使器件输入端等效得到共模输入电压。
2. 器件电源端施加规定的电源电压 V+、V-，等效器件输入端接入共模电压 V_{CM1}。
3. 通过设置基准电压 VREF，使被测器件输出电压 V_O 设定为规定值。
4. 在辅助运放输出端测试输出电压 V_{L1}。
5. 改变器件电源端施加的电源电压为 V+'、V-'，等效器件输入端接入共模电压 V_{CM2}。
6. 通过设置基准电压 VREF，使被测器件输出电压 V_O' 设定为规定值。
7. 在辅助运放输出端测试输出电压 V_{L2}。
8. 共模抑制比 CMRR = (V_{CM2} - V_{CM1}) / ((V_{L2} - V_{L1}) / (R_F / R_I))。

手册示例：（单运放 OP177G）

ELECTRICAL CHARACTERISTICS (@ V_S = ±15 V, T_A = +25°C, unless otherwise noted) **OP177**

Parameter	Symbol	Conditions	OP177E Min	OP177E Typ	OP177E Max	OP177F Min	OP177F Typ	OP177F Max	OP177G Min	OP177G Typ	OP177G Max	Units
Input Offset Voltage	V_{OS}			4	10		10	25		20	60	μV
Long-Term Input Offset Voltage Stability	ΔV_{OS}/Time	(Note 1)		0.2			0.3			0.4		μV/Mo
Input Offset Current	I_{OS}			0.3	1.0		0.3	1.5		0.3	2.8	nA
Input Bias Current	I_B		−0.2	1.0	1.5	−0.2	1.2	2.0	−0.2	1.2	2.8	nA
Input Noise Voltage	e_n	f_o = 1 Hz to 100 Hz[2]		118	150		118	150		118	150	nV rms
Input Noise Current	i_n	f_o = 1 Hz to 100 Hz[2]		3	8		3	8		3	8	pA rms
Input Resistance Differential-Mode	R_{IN}	(Note 3)	26	45		26	45		18.5	45		MΩ
Input Resistance Common-Mode	R_{INCM}			200			200			200		GΩ
Input Voltage Range	IVR	(Note 4)	±13	±14		±13	±14		±13	±14		V
Common-Mode Rejection Ratio	CMRR	V_{CM} = ±13 V	130	140		130	140		115	140		dB

图 2-4-2

编程示例：(单运放 OP177G）

test_cmrr								
		cmrr	CMRR	115		dB	0.0	1
器件正电源电压（PVI1）	vdd1 (0)			V+1		2		V
器件正电源电压（PVI1）	vdd2 (1)			V+2		28		V
VDD电压量程	vdd_vrng (2)			V+_VRng		±50V		
VDD电流量程	vdd_irng (3)			V+_IRng		±100mA		
VDD电流上限箝位	vdd_clamp1 (4)			V+_Clamp1		100		mA
VDD电流下限箝位	vdd_clamp2 (5)			V+_Clamp2		-10		mA
器件负电源电压（PVI0）	vss1 (6)			V-1		-28		V
器件负电源电压（PVI0）	vss2 (7)			V-2		-2		V
VSS电压量程	vss_vrng (8)			V-_VRng		±50V		
VSS电流量程	vss_irng (9)			V-_IRng		±100mA		
VSS电流上限箝位	vss_clamp1 (10)			V-_Clamp1		10		mA
VSS电流下限箝位	vss_clamp2 (11)			V-_Clamp2		-100		mA
负载电源电压（PVI2）	vl (12)			VL		0		V
VL电压量程	vl_vrng (13)			VL_VRng		±10V		
VL电流量程	vl_irng (14)			VL_IRng		±100mA		
VL电流上限箝位	vl_clamp1 (15)			VL_Clamp1		100		mA
VL电流下限箝位	vl_clamp2 (16)			VL_Clamp2		-100		mA
DUT负载电阻	rl (17)			RL		None		
DUT输出电压1	vo1 (18)			Vo1		-13		V
DUT输出电压2	vo2 (19)			Vo2		13		V
输出控制电阻比例	r2r1 (20)			R2 / R1		4:1		
环路增益	g_loop (21)			G_Loop		×10000		
环路积分时间	t_loop (22)			T_Loop		2mS		
PGA放大器增益	g_pga (23)			G_PGA		×1		
延迟时间1	delay (24)			Delay		20		mS
采样次数	Sample_No (25)			Sample		50		

图 2-4-3

编程说明：

1. 根据数据手册规定的合格判据设定判据项。
2. 根据数据手册设定器件电源 Vdd1 和 Vss1、Vdd2 和 Vss2，等效成在输入端分别加入了 Vcm1 和 Vcm2。 例如对于器件手册中注明 Vcm = ±13V 的 OP177 器件，两次电源设置 Vdd1 =2V 和 Vss1=-28V（此时 Vcm1 = -13V）、Vdd2 = 28V 和 Vss2 = -2V（Vcm2 =13V）。

3. 根据数据手册规定的测试条件设定器件输出电压 V_{o1}，V_{o2} 项，该项需与电源的填写对应一致。通常输出电压 V_{o1}，V_{o2} 的值与器件手册中规定的 Vcm = ±13V 相对应，以使输出保持在正负电源电压（或者正电源与地）之间的某个值上。
4. 对于共模拟制比 CMRR 大于 110dB 的高共模拟制比器件，应增加适当延时。

5. 共模抑制比 CMRR-I （共模输入法）编程指南

参数定义：在规定的电源电压和输出电压范围内，差模电压增益与共模电压增益之比。

CMRR 参数（共模输入法）测试原理图如图 2-5-1 所示：

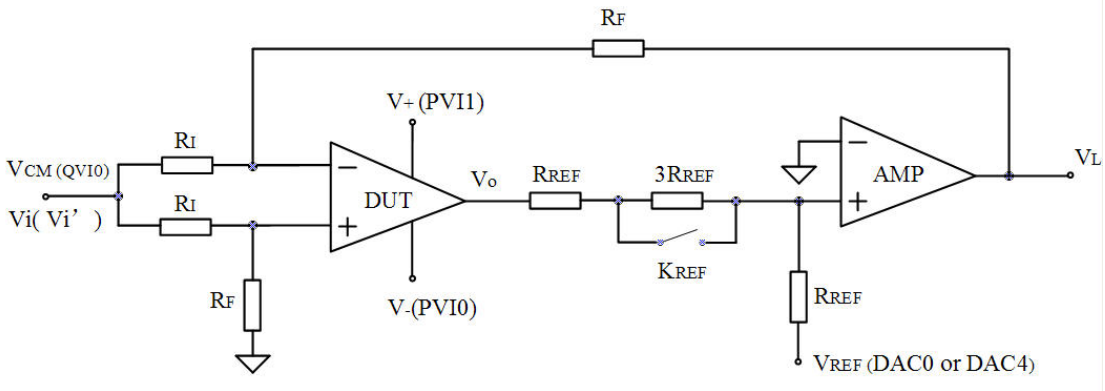

图 2-5-1

原理说明：

1. 共模抑制比（共模输入法）采用向器件两输入端同时施加共模电压 Vi 和 Vi'的方法测试共模抑制比。
2. 器件电源端施加规定的电源电压 V+、V-。
3. 通过设置基准电压 V_{REF}，使被测器件输出电压 V_O 设定为规定值。
5. 在器件两输入端同时施加共模电压 Vi，在辅助运放输出端测试输出电压 V_{L0}。
6. 在器件两输入端同时施加共模电压 Vi'，在辅助运放输出端测试输出电压 V_{L1}。
7. CMRR = (Vi' - Vi) / ((V_{L1} – V_{L0}) / (R_F / R_I))。

手册示例：（双运放 LM358）

Electrical Characteristics

V^+ = +5.0V, (Note 4), unless otherwise stated

Parameter	Conditions	LM358			LM2904			Units
		Min	Typ	Max	Min	Typ	Max	
Large Signal Voltage Gain	V^+ = 15V, T_A = 25°C, R_L ≥ 2 kΩ, (For V_O = 1V to 11V)	25	100		25	100		V/mV
Common-Mode Rejection Ratio	T_A = 25°C, V_{CM} = 0V to V^+−1.5V	65	85		50	70		dB

图 2-5-2

编程示例：(双运放 LM358）

test_cmrr_i							
	cmrr_i	CMRR_I	65		dB	0.0	2
器件正电源电压（PVI1）	vdd (0)	V+	5		V		
VDD电压量程	vdd_vrng (1)	V+_VRng	±10V				
VDD电流量程	vdd_irng (2)	V+_IRng	±100mA				
VDD电流上限箝位	vdd_clamp1 (3)	V+_Clamp1	100		mA		
VDD电流下限箝位	vdd_clamp2 (4)	V+_Clamp2	-10		mA		
器件负电源电压（PVIO）	vss (5)	V-	0		V		
VSS电压量程	vss_vrng (6)	V-_VRng	±10V				
VSS电流量程	vss_irng (7)	V-_IRng	±100mA				
VSS电流上限箝位	vss_clamp1 (8)	V-_Clamp1	10		mA		
VSS电流下限箝位	vss_clamp2 (9)	V-_Clamp2	-100		mA		
负载电源电压（PVI2）	vl (10)	VL	0		V		
VL电压量程	vl_vrng (11)	VL_VRng	±10V				
VL电流量程	vl_irng (12)	VL_IRng	±100mA				
VL电流上限箝位	vl_clamp1 (13)	VL_Clamp1	100		mA		
VL电流下限箝位	vl_clamp2 (14)	VL_Clamp2	-100		mA		
DUT负载电阻	rl (15)	RL	None				
共模输入电压（QVIO）	vcm1 (16)	VCM1	0		V		
共模输入电压（QVIO）	vcm2 (17)	VCM2	3.5		V		
Vcm电压量程	vcm_vrng (18)	VCM_VRng	±10V				
VCM电流量程	vcm_irng (19)	VCM_IRng	±10mA				
VCM电流上限箝位	vcm_clamp1 (20)	VCM_Clamp1	10		mA		
VCM电流下限箝位	vcm_clamp2 (21)	VCM_Clamp2	-1		mA		
DUT输出电压	vo (22)	Vo	1.4		V		
输出控制电阻比例	r2r1 (23)	R2 / R1	4:1				
环路增益	g_loop (24)	G_Loop	×1000				
PGA放大器增益	g_pga (25)	G_PGA	×1				
环路积分时间	t_loop (26)	T_Loop	2mS				
延迟时间1	delay (27)	Delay	10		mS		
采样次数	Sample_No (28)	Sample	50				

图 2-5-3

编程说明：

1. 共模抑制比（共模输入法）测试用于器件电源电压高于 ±35V 的高压运放和那些有地线端的正负电源器件。（普通 DUT 建议采用变电源法）
2. 根据数据手册规定的合格判据设定判据项。
3. 根据数据手册设定器件电源 Vdd 和 Vss。Vdd 和 Vss 项有时不在手册的测试条件栏中，需参考数据手册中表格首部的隐含测试条件。对于单电源器件，V- 应设为 0V。
4. 根据数据手册规定的测试条件设定共模输入电压 Vcm1 和 Vcm2 项。
5. 根据数据手册规定的测试条件设定器件输出电压 Vo 项。若无说明对于正负电源器件一般 Vo 应设为 0V，对于单电源器件 Vo 的设置可参照 Vos 参数。

6. 电源电压抑制比 PSRR 编程指南

参数定义：

电源电压抑制比：器件电源的单位电压变化所引起的输入失调电压的变化率。

正电源电压抑制比：器件正电源的单位电压变化所引起的输入失调电压的变化率。

负电源电压抑制比：器件负电源的单位电压变化所引起的输入失调电压的变化率。

PSRR 参数测试原理图如图 2-6-1 所示：

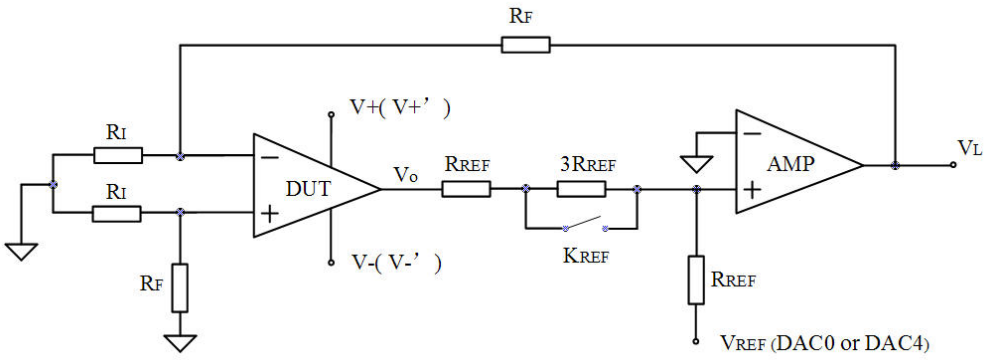

图 2-6-1

原理说明：

1. 器件电源端通过 PVI1 和 PVI0 施加规定的电源电压 V+、V-。
2. 通过设置基准电压 V_{REF}，使被测器件输出电压 V_O 设定为规定值。
3. 在辅助运放输出端测试输出电压 V_{L0}。
4. 同时改变正负电源端施加的电压，由 V+ 变为 V+'，V- 变为 V-'。
5. 在辅助运放输出端测试输出电压 V_{L1}。

6. 电源电压抑制比 PSRR = ((V+'- V+) + (V- - V-')) / ((V_{L1} – V_{L0}) / (R_F / R_I))。
7. 改变正电源端施加的电压，由 V+ 变为 V+'。
8. 在辅助运放输出端测试输出电压 V_{L2}。
9. 正电源电压抑制比 PSRR+ = (V+' - V+) / ((V_{L2} – V_{L0}) / (R_F / R_I))。
10. 改变负电源端施加的电压，由 V- 变为 V-'。
11. 在辅助运放输出端测试输出电压 V_{L3}。
12. 负电源电压抑制比 PSRR- = (V-' - V-) / ((V_{L3} – V_{L0}) / (R_F / R_I))。

手册示例：（单运放 OP177G）

ELECTRICAL CHARACTERISTICS (@ V_S = ±15 V, T_A = +25°C, unless otherwise noted) **OP177**

Parameter	Symbol	Conditions	OP177E Min	OP177E Typ	OP177E Max	OP177F Min	OP177F Typ	OP177F Max	OP177G Min	OP177G Typ	OP177G Max	Units
Input Offset Voltage	V_{OS}			4	10		10	25		20	60	μV
Long-Term Input Offset Voltage Stability	ΔV_{OS}/Time	(Note 1)		0.2			0.3			0.4		μV/Mo
Input Offset Current	I_{OS}			0.3	1.0		0.3	1.5		0.3	2.8	nA
Input Bias Current	I_B		–0.2	1.0	1.5	–0.2	1.2	2.0	–0.2	1.2	2.8	nA
Input Noise Voltage	e_n	f_o = 1 Hz to 100 Hz[2]		118	150		118	150		118	150	nV rms
Input Noise Current	i_n	f_o = 1 Hz to 100 Hz[2]		3	8		3	8		3	8	pA rms
Input Resistance Differential-Mode	R_{IN}	(Note 3)	26	45		26	45		18.5	45		MΩ
Input Resistance Common-Mode	R_{INCM}			200			200			200		GΩ
Input Voltage Range	IVR	(Note 4)	±13	±14		±13	±14		±13	±14		V
Common-Mode Rejection Ratio	CMRR	V_{CM} = ±13 V	130	140		130	140		115	140		dB
Power Supply Rejection Ratio	PSRR	V_S = ±3 V to ±18 V	120	125		115	125		110	120		dB

图 2-6-2

编程示例：(单运放 OP177G）

test_psrr	☑							
		psrr	PSRR	110		dB	0.0	1

器件正电源电压（PVI1）	vdd1 (0)	V+1	3	V
器件正电源电压（PVI1）	vdd2 (1)	V+2	18	V
VDD电压量程	vdd_vrng (2)	V+_VRng	±20V	
VDD电流量程	vdd_irng (3)	V+_IRng	±100mA	
VDD电流上限箝位	vdd_clamp1 (4)	V+_Clamp1	100	mA
VDD电流下限箝位	vdd_clamp2 (5)	V+_Clamp2	-10	mA
器件负电源电压（PVI0）	vss1 (6)	V-1	-3	V
器件负电源电压（PVI0）	vss2 (7)	V-2	-18	V
VSS电压量程	vss_vrng (8)	V-_VRng	±20V	
VSS电流量程	vss_irng (9)	V-_IRng	±100mA	
VSS电流上限箝位	vss_clamp1 (10)	V-_Clamp1	10	mA
VSS电流下限箝位	vss_clamp2 (11)	V-_Clamp2	-100	mA
负载电源电压（PVI2）	vl (12)	VL	0	V
VL电压量程	vl_vrng (13)	VL_VRng	±10V	
VL电流量程	vl_irng (14)	VL_IRng	±100mA	
VL电流上限箝位	vl_clamp1 (15)	VL_Clamp1	100	mA
VL电流下限箝位	vl_clamp2 (16)	VL_Clamp2	-100	mA
DUT负载电阻	rl (17)	RL	None	
DUT输出电压	vo (18)	Vo	0	V
输出控制电阻比例	r2r1 (19)	R2 / R1	4:1	
环路增益	g_loop (20)	G_Loop	×10000	
环路积分时间	t_loop (21)	T_Loop	2mS	
PGA放大器增益	g_pga (22)	G_PGA	×1	
延迟时间1	delay (23)	Delay	15	mS
采样次数	Sample_No (24)	Sample	50	

图 2-6-3

编程说明：

1. 对于正负电源器件测试 PSRR、PSRR+ 和 PSRR- 参数，对于单电源器件测试 PSRR 参数（单电源器件 PSRR 参数与 PSRR+参数相同）。

2. 大多数 PSRR 参数的单位为 uV/V 和 dB， 编程时选择不同单位系统会自动进行转换。
3. 根据数据手册规定的合格判据设定判据项。
4. 根据数据手册规定的测试条件分别设定 Vdd1 和 Vss1，Vdd2 和 Vss2 项。正负电源器件当测试 PSRR+参数时，Vss1 与 Vss2 应填入相同的值；当测试 PSRR-参数时，Vdd1 与 Vdd2 应填入相同的值。对于单电源器件的 PSRR 测试 Vss1 与 Vss2 均填入 0V。
5. 根据数据手册规定的测试条件设定器件输出电压 Vo 项。若无说明对于正负电源器件一般 Vo 应设为 0V，对于单电源器件 Vo 的设置可参照 Vos 参数。

7. 输出电压摆幅 VO+（VOH）（闭环法）编程指南

参数定义：在规定电源电压和负载下，器件所能输出的最大正（高）电平值。

VO+ （VOH）参数闭环法测试原理图如图 2-7-1 所示：

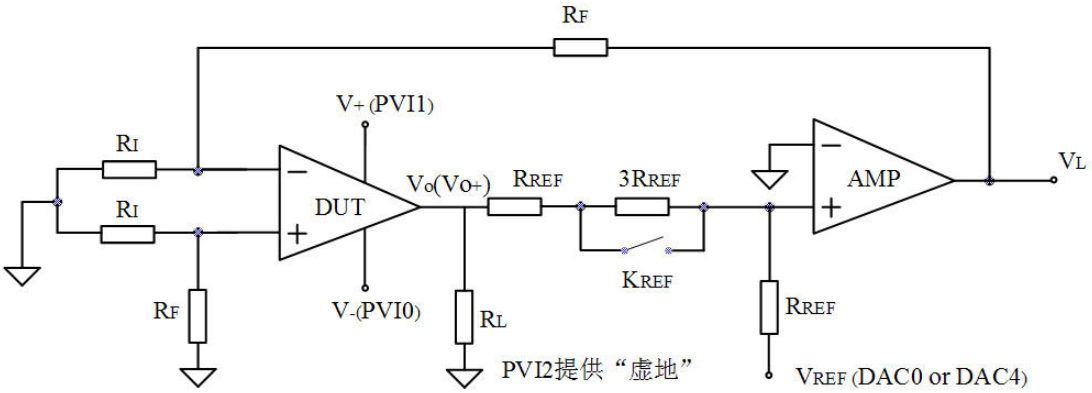

图 2-7-1

原理说明：

1. 该方法通常仅适用于运放器件的测试。对于正负电源器件该参数通常记为 Vo+，对于单电源器件该参数通常记为 V_{OH}。
2. 器件电源端施加规定的电源电压 V+、V-，对于单电源器件 V- =0V。
3. 通过设置基准电压 V_{REF}（DAC0，DAC4），使 DUT 输出电压 V_O 设定为 V+ 值。
4. 器件输出端接入手册规定的不同的负载电阻值 R_L。
5. 分别在 DUT 输出端测试不同负载下的输出电压摆幅 Vo+（V_{OH}）。

手册示例：（单运放 OP177G）

ELECTRICAL CHARACTERISTICS (@ V_S = ±15 V, T_A = +25°C, unless otherwise noted) **OP177**

Parameter	Symbol	Conditions	OP177E Min	OP177E Typ	OP177E Max	OP177F Min	OP177F Typ	OP177F Max	OP177G Min	OP177G Typ	OP177G Max	Units
Input Offset Voltage	V_{OS}			4	10		10	25		20	60	μV
Long-Term Input Offset Voltage Stability	ΔV_{OS}/Time	(Note 1)		0.2			0.3			0.4		μV/Mo
Input Offset Current	I_{OS}			0.3	1.0		0.3	1.5		0.3	2.8	nA
Input Bias Current	I_B		–0.2	1.0	1.5	–0.2	1.2	2.0	–0.2	1.2	2.8	nA
Input Noise Voltage	e_n	f_o = 1 Hz to 100 Hz[2]		118	150		118	150		118	150	nV rms
Input Noise Current	i_n	f_o = 1 Hz to 100 Hz[2]		3	8		3	8		3	8	pA rms
Input Resistance Differential-Mode	R_{IN}	(Note 3)	26	45		26	45		18.5	45		MΩ
Input Resistance Common-Mode	R_{INCM}			200			200			200		GΩ
Input Voltage Range	IVR	(Note 4)	±13	±14		±13	±14		±13	±14		V
Common-Mode Rejection Ratio	CMRR	V_{CM} = ±13 V	130	140		130	140		115	140		dB
Power Supply Rejection Ratio	PSRR	V_S = ±3 V to ±18 V	120	125		115	125		110	120		dB
Large Signal Voltage Gain	A_{VO}	R_L ≥ 2 kΩ, V_O = ±10 V[5]	5000	12000		5000	12000		2000	6000		V/mV
Output Voltage Swing	V_O	R_L ≥ 10 kΩ	±13.5	±14.0		±13.5	±14.0		±13.5	±14.0		V
		R_L ≥ 2 kΩ	±12.5	±13.0		±12.5	±13.0		±12.5	±13.0		V
		R_L ≥ 1 kΩ	±12.0	±12.5		±12.0	±12.5		±12.0	±12.5		V

图 2-7-2

编程实例：（单运放 OP177G）

test_vo							
	vo	VO+(10K)	13.5		V	0.00	1
器件正电源电压（PVI1）	vdd (0)	V+	15	V			
VDD电压量程	vdd_vrng (1)	V+_VRng	±20V				
VDD电流量程	vdd_irng (2)	V+_IRng	±100mA				
VDD电流上限箝位	vdd_clamp1 (3)	V+_Clamp1	100	mA			
VDD电流下限箝位	vdd_clamp2 (4)	V+_Clamp2	-10	mA			
器件负电源电压（PVI0）	vss (5)	V-	-15	V			
VSS电压量程	vss_vrng (6)	V-_VRng	±20V				
VSS电流量程	vss_irng (7)	V-_IRng	±100mA				
VSS电流上限箝位	vss_clamp1 (8)	V-_Clamp1	10	mA			
VSS电流下限箝位	vss_clamp2 (9)	V-_Clamp2	-100	mA			
负载电源电压（PVI2）	vl (10)	VL	0	V			
VL电压量程	vl_vrng (11)	VL_VRng	±20V				
VL电流量程	vl_irng (12)	VL_IRng	±100mA				
VL电流上限箝位	vl_clamp1 (13)	VL_Clamp1	100	mA			
VL电流下限箝位	vl_clamp2 (14)	VL_Clamp2	-100	mA			
输出源表电流（QVI）	vosm_i (15)	VOSM_I	0	mA			
VOSM电流量程	vosm_irng (16)	VOSM_IRng	±100uA				
VOSM电压量程	vosm_vrng (17)	VOSM_VRng	±20V				
VOSM电压上限箝位	vosm_clamp1 (18)	VOSM_Clamp1	20	V			
VOSM电压下限箝位	vosm_clamp2 (19)	VOSM_Clamp2	0.1	V			
DUT负载电阻	rl (20)	RL	10K				
DUT输出电压	vo (21)	Vo	15	V			
输出控制电阻比例	r2r1 (22)	R2 / R1	4:1				
环路增益	g_loop (23)	G_Loop	×10000				
环路积分时间	t_loop (24)	T_Loop	2mS				
PGA放大器增益	g_pga (25)	G_PGA	×1				
延迟时间1	delay (26)	Delay	2	mS			
采样次数	Sample_No (27)	Sample	10				

图 2-7-3

编程说明：

1. 本图为 OP177G 在 10K 电阻负载下的 Vo+参数编程界面。
2. 根据数据手册规定的合格判据设定判据项。
3. 根据数据手册设定器件电源 Vdd 和 Vss。Vdd 和 Vss 项有时不在手册的测试条件栏中，需参考数据手册中表格首部的隐含测试条件。对于单电源器件，Vss 应设为 0V。
4. 根据数据手册规定的测试条件设定负载电阻 rl。
5. 利用 vosm 在 DUT 的输出端分别测试在不同负载电阻条件下的 Vo+（V_{OH}）。

8. 输出电压摆幅 VO+（VOH）（开环法）编程指南

参数定义：在规定电源电压、输入电压和输出负载下，器件所能输出的最大正（高）电平值。

VO+（VOH）参数测试原理图如图 2-8-1 所示：

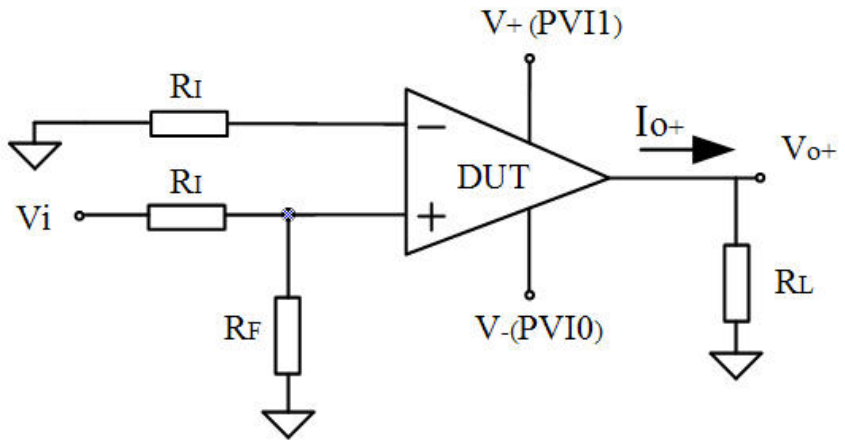

图 2-8-1

原理说明：

1. 该方法适用于比较器和运放器件的 Vo+（V_{OH}）参数测试。对于正负电源器件该参数通常记为 Vo+，对于单电源器件该参数通常记为 V_{OH}。
2. 器件电源端施加规定的电源电压 V+、V-，对于单电源器件 V- =0V。
3. 通过设置输入电压 Vi，使器件输出 Vo 为正（高）电压。
4. 器件输出端接入规定的负载电阻或者负载电流 Io+。

5. 利用 vosm 在 DUT 输出端测试不同负载电阻（或者电流）条件下输出电压的摆幅 Vo+（V_{OH}）。

手册示例：（四运放 LM324）

LM124 - LM224 - LM324

ELECTRICAL CHARACTERISTICS (continued)

Symbol	Parameter		LM124 - LM224 - LM324			Unit
			Min.	Typ.	Max.	
V_{OH}	High Level Output Voltage					V
	(V_{CC} = +30V)					
	T_{amb} = +25°C	R_L = 2kΩ	26	27		
	$T_{min.} \le T_{amb} \le T_{max.}$		26			
	T_{amb} = +25°C	R_L = 10kΩ	27	28		
	$T_{min.} \le T_{amb} \le T_{max.}$		27			
	(V_{CC} = +5V, R_L = 2kΩ)					
	T_{amb} = +25°C		3.5			
	$T_{min.} \le T_{amb} \le T_{max.}$		3			

图 2-8-2

编程示例：（四运放 LM324）

test_vo_open1						
	vo	VOHop (30V-2K)	26	V	0.00	4
器件正电源电压（PVI1）	vdd (0)	V+	30	V		
VDD电压量程	vdd_vrng (1)	V+_VRng	±50V			
VDD电流量程	vdd_irng (2)	V+_IRng	±100mA			
VDD电流上限箝位	vdd_clamp1 (3)	V+_Clamp1	100	mA		
VDD电流下限箝位	vdd_clamp2 (4)	V+_Clamp2	-10	mA		
器件负电源电压（PVI0）	vss (5)	V-	0	V		
VSS电压量程	vss_vrng (6)	V-_VRng	±10V			
VSS电流量程	vss_irng (7)	V-_IRng	±100mA			
VSS电流上限箝位	vss_clamp1 (8)	V-_Clamp1	10	mA		
VSS电流下限箝位	vss_clamp2 (9)	V-_Clamp2	-100	mA		
负载电源电压（PVI2）	vl (10)	VL	0	V		
VL电压量程	vl_vrng (11)	VL_VRng	±10V			
VL电流量程	vl_irng (12)	VL_IRng	±100mA			
VL电流上限箝位	vl_clamp1 (13)	VL_Clamp1	100	mA		
VL电流下限箝位	vl_clamp2 (14)	VL_Clamp2	-100	mA		
输出源表电流（QVI）	vosm_i (15)	VOSM_I	0	mA		
VOSM电流量程	vosm_irng (16)	VOSM_IRng	±100uA			
VOSM电压量程	vosm_vrng (17)	VOSM_VRng	±50V			
VOSM电压上限箝位	vosm_clamp1 (18)	VOSM_Clamp1	31	V		
VOSM电压下限箝位	vosm_clamp2 (19)	VOSM_Clamp2	0	V		
DUT负载电阻	rl (20)	RL	2K			
环路选择模式	opl_mode (21)	OPL_Mode	同输入，反接地			
DUT输入电压	vin (22)	Vin	1	V		
延迟时间1	delay (23)	Delay	2	mS		
采样次数	Sample_No (24)	Sample	10			

图 2-8-3

编程说明：

1. 本图为 LM324 在 30V 电源电压 10K 电阻负载条件下的 V_{OH} 编程界面。
2. 根据数据手册规定的合格判据设定判据项。

3. 根据数据手册设定器件电源 Vdd 和 Vss。Vdd 和 Vss 项有时不在手册的测试条件栏中，需参考数据手册中表格首部的隐含测试条件。对于单电源器件，Vss 应设为 0V。
4. 根据数据手册规定的测试条件设定输入电压 Vin（必须为正值）。
5. 环路选择模式使 Vin 输入可以灵活的选择 DUT 的两个输入端中任意一个作为其输入端，

“同输入，反接地” （应用于 Vo+（V_{OH}））：DUT 的同相输入端接 Vin 输入，其反相输入端接地；

“反输入，同接地” （应用于 Vo-（V_{OL}））：DUT 的反相输入端接 Vin 输入，其同相输入端接地。

6. 器件输出端除提供电阻负载外还可提供恒流负载即编程时的 vosm_i 项，使用该项时应将负载电阻 rl 项设为 “NONE”。
7. 根据数据手册规定的测试条件设定负载电阻 rl 或负载电流 Io+。
8. 利用 vosm 在 DUT 的输出端分别测试不同负载条件下的 Vo+（V_{OH}）。

根据 Vin 输入值的不同要求，模版中为 Vo+（V_{OH}）开环测试法提供了两个函数，分别是 test_vo_open1 （如图 2-8-3 所示）和 test_vo_open2（如下图 2-8-4 所示）。两者都符合图 2-8-1 所示原理图。但是 test_vo_open2 函数固定是选定 DUT 的反相端作为 Vin 的输入端。

除此之外，唯一的差别就是 Vin 的输入所选择的源不同，对于小电压差模信号（通常 100mV 以下）Vin 采用的是 vidm（差模电压电流源）的恒流方式串行给 DUT 的多个单元提供差模输入电压；对于大电压差模信号（通常 100mV 以上，比如 1V）Vin 采用的是 12Bit DAC 的输出并行给 DUT 多个单元提供差模输入电压。

当手册（部分比较器器件）要求 DUT 的两个输入端有小电压差模信号时，建议采用 test_vo_open2 函数进行 Vo+（V_{OH}）的测量。利用该函数时，需要注意由于利用的是 vidm 的恒流方式串行给 DUT 的多个单元提供差模，所以 vidm_i 的输入要加倍、vidm_irng 的选择要满足 vidm_i 的需求（如下图所示）。

test_vo_open2	☑								
		vo	VOHop2 (5V-2K)	3.5		V	0.00	2

器件正电源电压（PVI1）	vdd (0)	V+	5	V
VDD电压量程	vdd_vrng (1)	V+_VRng	±5V	
VDD电流量程	vdd_irng (2)	V+_IRng	±100mA	
VDD电流上限箝位	vdd_clamp1 (3)	V+_Clamp1	100	mA
VDD电流下限箝位	vdd_clamp2 (4)	V+_Clamp2	-10	mA
器件负电源电压（PVI0）	vss (5)	V-	0	V
VSS电压量程	vss_vrng (6)	V-_VRng	±10V	
VSS电流量程	vss_irng (7)	V-_IRng	±100mA	
VSS电流上限箝位	vss_clamp1 (8)	V-_Clamp1	10	mA
VSS电流下限箝位	vss_clamp2 (9)	V-_Clamp2	-100	mA
负载电源电压（PVI2）	vl (10)	VL	0	V
VL电压量程	vl_vrng (11)	VL_VRng	±10V	
VL电流量程	vl_irng (12)	VL_IRng	±100mA	
VL电流上限箝位	vl_clamp1 (13)	VL_Clamp1	100	mA
VL电流下限箝位	vl_clamp2 (14)	VL_Clamp2	-100	mA
输出源表电流（QVI）	vosm_i (15)	VOSM_I	0	mA
VOSM电流量程	vosm_irng (16)	VOSM_IRng	±100uA	
VOSM电压量程	vosm_vrng (17)	VOSM_VRng	±50V	
VOSM电压上限箝位	vosm_clamp1 (18)	VOSM_Clamp1	31	V
VOSM电压下限箝位	vosm_clamp2 (19)	VOSM_Clamp2	0	V
DUT负载电阻	rl (20)	RL	2K	
DUT输入电压	vin (21)	Vin	10	mV
差模输入源表电流（QVI）	vidm_i (22)	VIDM_I	400	uA
VIDM电流量程	vidm_irng (23)	VIDM_IRng	±1mA	
VIDM电压量程	vidm_vrng (24)	VIDM_VRng	±10V	
VIDM电压上限箝位	vidm_clamp1 (25)	VIDM_Clamp1	10	V
VIDM电压下限箝位	vidm_clamp2 (26)	VIDM_Clamp2	0	V
延迟时间1	delay (27)	Delay	2	mS
采样次数	Sample_No (28)	Sample	10	

图 2-8-4

9. 输出电压摆幅 VO-（VOL）（闭环法）编程指南

参数定义：在规定电源电压和负载下，器件所能输出的最大负（低）电平值。

VO- （VOL）参数测试原理图如图 2-9-1 所示：

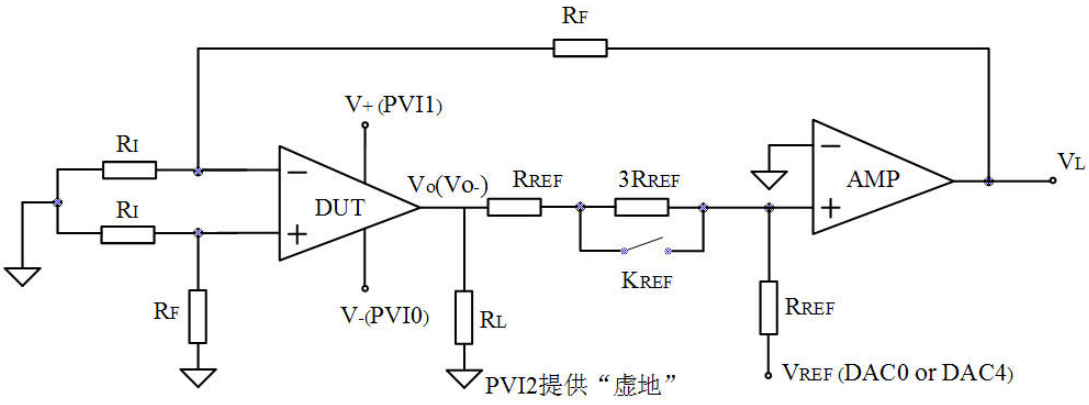

图 2-9-1

原理说明：

1. 该方法通常仅适用于运放器件的测试。对于正负电源器件该参数通常记为 Vo-，对于单电源器件该参数通常记为 V_{OL}。
2. 器件电源端施加规定的电源电压 V+、V-，对于单电源器件 V- =0V。
3. 通过设置基准电压 V_{REF}（DAC0，DAC4），使 DUT 输出电压 V_O 设定为 V- 值。
4. 器件输出端接入规定的不同的负载电阻值 R_L。
5. 分别在 DUT 输出端测试不同负载下的输出电压摆幅 Vo-（V_{OL}）。

手册示例：（单运放 OP177G）

ELECTRICAL CHARACTERISTICS (@ V_S = ±15 V, T_A = +25°C, unless otherwise noted) **OP177**

Parameter	Symbol	Conditions	OP177E Min	OP177E Typ	OP177E Max	OP177F Min	OP177F Typ	OP177F Max	OP177G Min	OP177G Typ	OP177G Max	Units
Input Offset Voltage	V_{OS}			4	10		10	25		20	60	μV
Long-Term Input Offset Voltage Stability	ΔV_{OS}/Time	(Note 1)		0.2			0.3			0.4		μV/Mo
Input Offset Current	I_{OS}			0.3	1.0		0.3	1.5		0.3	2.8	nA
Input Bias Current	I_B		−0.2	1.0	1.5	−0.2	1.2	2.0	−0.2	1.2	2.8	nA
Input Noise Voltage	e_n	f_o = 1 Hz to 100 Hz[2]		118	150		118	150		118	150	nV rms
Input Noise Current	i_n	f_o = 1 Hz to 100 Hz[2]		3	8		3	8		3	8	pA rms
Input Resistance Differential-Mode	R_{IN}	(Note 3)	26	45		26	45		18.5	45		MΩ
Input Resistance Common-Mode	R_{INCM}			200			200			200		GΩ
Input Voltage Range	IVR	(Note 4)	±13	±14		±13	±14		±13	±14		V
Common-Mode Rejection Ratio	CMRR	V_{CM} = ±13 V	130	140		130	140		115	140		dB
Power Supply Rejection Ratio	PSRR	V_S = ±3 V to ±18 V	120	125		115	125		110	120		dB
Large Signal Voltage Gain	A_{VO}	R_L ≥ 2 kΩ, V_O = ±10 V[5]	5000	12000		5000	12000		2000	6000		V/mV
Output Voltage Swing	V_O	R_L ≥ 10 kΩ	±13.5	±14.0		±13.5	±14.0		±13.5	±14.0		V
		R_L ≥ 2 kΩ	±12.5	±13.0		±12.5	±13.0		±12.5	±13.0		V
		R_L ≥ 1 kΩ	±12.0	±12.5		±12.0	±12.5		±12.0	±12.5		V

图 2-9-3

编程示例：（单运放 OP177G）

test_vo	☑								
		vo	VO-(10K)		-13.5	V	0.00	1

器件正电源电压（PVI1）	vdd (0)	V+	15	V
VDD电压量程	vdd_vrng (1)	V+_VRng	±20V	
VDD电流量程	vdd_irng (2)	V+_IRng	±100mA	
VDD电流上限箝位	vdd_clamp1 (3)	V+_Clamp1	100	mA
VDD电流下限箝位	vdd_clamp2 (4)	V+_Clamp2	-10	mA
器件负电源电压（PVI0）	vss (5)	V-	-15	V
VSS电压量程	vss_vrng (6)	V-_VRng	±20V	
VSS电流量程	vss_irng (7)	V-_IRng	±100mA	
VSS电流上限箝位	vss_clamp1 (8)	V-_Clamp1	10	mA
VSS电流下限箝位	vss_clamp2 (9)	V-_Clamp2	-100	mA
负载电源电压（PVI2）	vl (10)	VL	0	V
VL电压量程	vl_vrng (11)	VL_VRng	±20V	
VL电流量程	vl_irng (12)	VL_IRng	±100mA	
VL电流上限箝位	vl_clamp1 (13)	VL_Clamp1	100	mA
VL电流下限箝位	vl_clamp2 (14)	VL_Clamp2	-100	mA
输出源表电流（QVI）	vosm_i (15)	VOSM_I	0	mA
VOSM电流量程	vosm_irng (16)	VOSM_IRng	±100uA	
VOSM电压量程	vosm_vrng (17)	VOSM_VRng	±20V	
VOSM电压上限箝位	vosm_clamp1 (18)	VOSM_Clamp1	20	V
VOSM电压下限箝位	vosm_clamp2 (19)	VOSM_Clamp2	0.1	V
DUT负载电阻	rl (20)	RL	10K	
DUT输出电压	vo (21)	Vo	15	V
输出控制电阻比例	r2r1 (22)	R2 / R1	4:1	
环路增益	g_loop (23)	G_Loop	×10000	
环路积分时间	t_loop (24)	T_Loop	2mS	
PGA放大器增益	g_pga (25)	G_PGA	×1	
延迟时间1	delay (26)	Delay	2	mS
采样次数	Sample_No (27)	Sample	10	

图 2-9-3

编程说明：

1. 本图为 OP177G 在 10K 电阻负载下的 Vo-参数编程界面。
2. 根据数据手册规定的合格判据设定判据项。
3. 根据数据手册设定器件电源 Vdd 和 Vss。Vdd 和 Vss 项有时不在手册的测试条件栏中，需参考数据手册中表格首部的隐含测试条件。对于单电源器件，Vss 应设为 0V。
4. 根据数据手册规定的测试条件设定负载电阻 rl。
5. 利用 vosm 在 DUT 的输出端分别测试在不同负载电阻条件下的 Vo-（V_{OL}）。

10. 输出电压摆幅 VO-（VOL）（开环法）编程指南

参数定义：在规定电源电压、输入电压和输出负载下，器件所能输出的最大负（低）电平值。

VO- （VOL）参数测试原理图如图 2-10-1 所示：

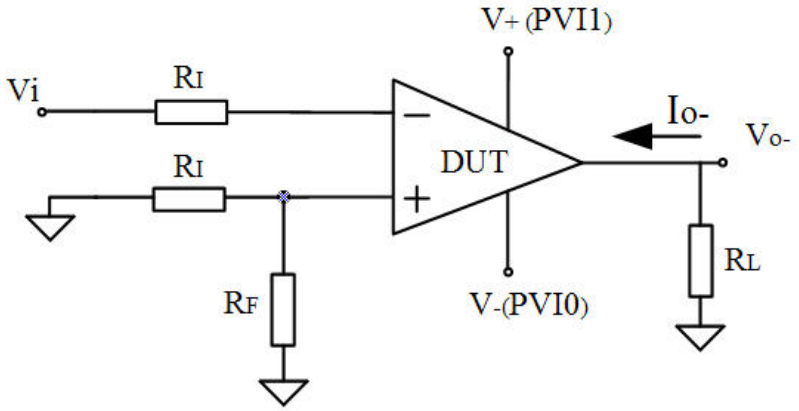

图 2-10-1

原理说明：

1. 该方法适用于比较器和运放器件的 Vo+（V_{OH}）参数测试。对于正负电源器件该参数通常记为 Vo-，对于单电源器件该参数通常记为 V_{OL}。
2. 器件电源端施加规定的电源电压 V+、V-，对于单电源器件 V- =0V。。
3. 通过设置输入电压 Vi，使器件输出 Vo 为正（高）电压。
4. 器件输出端接入规定的负载电阻或者负载电流 Io-。
5. 利用 vosm 在 DUT 输出端测试不同负载电阻（或者电流）条件下输出电压的摆幅 Vo-（V_{OL}）。

手册示例：（四运放 LM324 ）

LM124 - LM224 - LM324

ELECTRICAL CHARACTERISTICS (continued)

Symbol	Parameter	LM124 - LM224 - LM324			Unit
		Min.	Typ.	Max.	
V_{OL}	Low Level Output Voltage (R_L = 10kΩ) T_{amb} = +25°C $T_{min.} \le T_{amb} \le T_{max.}$		5	20 20	mV

图 2-10-2

编程示例：（四运放 LM324）

test_vo_open1							
	vo	VOLop(10K)		20	mV	0.00	4
器件正电源电压（PVI1）	vdd (0)	V+	5	V			
VDD电压量程	vdd_vrng (1)	V+_VRng	±10V				
VDD电流量程	vdd_irng (2)	V+_IRng	±100mA				
VDD电流上限箝位	vdd_clamp1 (3)	V+_Clamp1	100	mA			
VDD电流下限箝位	vdd_clamp2 (4)	V+_Clamp2	-10	mA			
器件负电源电压（PVI0）	vss (5)	V-	0	V			
VSS电压量程	vss_vrng (6)	V-_VRng	±10V				
VSS电流量程	vss_irng (7)	V-_IRng	±100mA				
VSS电流上限箝位	vss_clamp1 (8)	V-_Clamp1	10	mA			
VSS电流下限箝位	vss_clamp2 (9)	V-_Clamp2	-100	mA			
负载电源电压（PVI2）	vl (10)	VL	0	V			
VL电压量程	vl_vrng (11)	VL_VRng	±10V				
VL电流量程	vl_irng (12)	VL_IRng	±100mA				
VL电流上限箝位	vl_clamp1 (13)	VL_Clamp1	100	mA			
VL电流下限箝位	vl_clamp2 (14)	VL_Clamp2	-100	mA			
输出源表电流（QVI）	vosm_i (15)	VOSM_I	0	mA			
VOSM电流量程	vosm_irng (16)	VOSM_IRng	±100uA				
VOSM电压量程	vosm_vrng (17)	VOSM_VRng	±1V				
VOSM电压上限箝位	vosm_clamp1 (18)	VOSM_Clamp1	1	V			
VOSM电压下限箝位	vosm_clamp2 (19)	VOSM_Clamp2	-0.1	V			
DUT负载电阻	rl (20)	RL	10K				
环路选择模式	opl_mode (21)	OPL_Mode	反输入，同接地				
DUT输入电压	vin (22)	Vin	1	V			
延迟时间1	delay (23)	Delay	10	mS			
采样次数	Sample_No (24)	Sample	50				

图 2-10-3

编程说明：

1. 本图为 LM324 在 5V 电源电压 10K 电阻负载条件下的 V_{OL} 编程界面。
2. 根据数据手册规定的合格判据设定判据项。
3. 根据数据手册设定器件电源 Vdd 和 Vss。Vdd 和 Vss 项有时不在手册的测试条件栏中，需参考数据手册中表格首部的隐含测试条件。对于单电源器件，Vss 应设为 0V。
4. 根据数据手册规定的测试条件设定输入电压 Vin（必须为正值）。
5. 环路选择模式使 Vin 输入可以灵活的选择 DUT 的两个输入端中任意一个作为其输入端，
   “同输入，反接地” （应用于 Vo+（V_{OH}））：DUT 的同相输入端接 Vin 输入，其反相输入端接地；
   “反输入，同接地” （应用于 Vo-（V_{OL}））：DUT 的反相输入端接 Vin 输入，其同相输入端接地。
6. 器件输出端除提供电阻负载外还可提供恒流负载即编程时的 vosm_i 项，使用该项时应将负载电阻 rl 项设为 “NONE”。
7. 根据数据手册规定的测试条件设定负载电阻 rl 或负载电流 Io-。
8. 利用 vosm 在 DUT 的输出端分别测试不同负载条件下的 Vo-（V_{OL}）。

根据 Vin 输入值的不同要求，模版中为 Vo-（V_{OL}）开环测试法提供了与 Vo+（V_{OH}）相同的两个函数，分别是 test_vo_open1 （如图 2-10-3 所示）和 test_vo_open2（如下图 2-10-4 所示）。两者都符合图 2-10-1 所示原理图。但是 test_vo_open2 函数固定是选定 DUT 的反相端作为 Vin 的输入端。

除此之外，唯一的差别就是 Vin 的输入所选择的源不同，对于小电压差模信号（通常 100mV 以下）Vin 采用的是 vidm（差模电压电流源）的恒流方式串行给 DUT 的多个单元提供差模输入电压；对于大电压差模信号（通常 100mV 以上，比如 1V）Vin 采用的是 12Bit DAC

的输出并行给 DUT 多个单元提供差模输入电压。

当手册（部分比较器器件）要求 DUT 的两个输入端有小电压差模信号时，建议采用 test_vo_open2 函数进行 Vo-（V_{OL}）的测量。利用该函数时，需要注意由于利用的是 vidm 的恒流方式串行给 DUT 的多个单元提供差模，所以 vidm_i 的输入要加倍、vidm_irng 的选择要满足 vidm_i 的需求（如下图所示）。

test_vo_open2	☑						
		vo	VOLop2(5V-10K)		20	mV	0.00	2
器件正电源电压（PVI1）	vdd (0)	V+	5	V
VDD电压量程	vdd_vrng (1)	V+_VRng	±5V	
VDD电流量程	vdd_irng (2)	V+_IRng	±100mA	
VDD电流上限箝位	vdd_clamp1 (3)	V+_Clamp1	100	mA
VDD电流下限箝位	vdd_clamp2 (4)	V+_Clamp2	-10	mA
器件负电源电压（PVIO）	vss (5)	V-	0	V
VSS电压量程	vss_vrng (6)	V-_VRng	±10V	
VSS电流量程	vss_irng (7)	V-_IRng	±100mA	
VSS电流上限箝位	vss_clamp1 (8)	V-_Clamp1	10	mA
VSS电流下限箝位	vss_clamp2 (9)	V-_Clamp2	-100	mA
负载电源电压（PVI2）	vl (10)	VL	0	V
VL电压量程	vl_vrng (11)	VL_VRng	±10V	
VL电流量程	vl_irng (12)	VL_IRng	±100mA	
VL电流上限箝位	vl_clamp1 (13)	VL_Clamp1	100	mA
VL电流下限箝位	vl_clamp2 (14)	VL_Clamp2	-100	mA
输出源表电流（QVI）	vosm_i (15)	VOSM_I	0	mA
VOSM电流量程	vosm_irng (16)	VOSM_IRng	±100uA	
VOSM电压量程	vosm_vrng (17)	VOSM_VRng	±5V	
VOSM电压上限箝位	vosm_clamp1 (18)	VOSM_Clamp1	1	V
VOSM电压下限箝位	vosm_clamp2 (19)	VOSM_Clamp2	-0.1	V
DUT负载电阻	rl (20)	RL	2K	
DUT输入电压	vin (21)	Vin	10	mV
差模输入源表电流（QVI）	vidm_i (22)	VIDM_I	-400	uA
VIDM电流量程	vidm_irng (23)	VIDM_IRng	±1mA	
VIDM电压量程	vidm_vrng (24)	VIDM_VRng	±10V	
VIDM电压上限箝位	vidm_clamp1 (25)	VIDM_Clamp1	10	V
VIDM电压下限箝位	vidm_clamp2 (26)	VIDM_Clamp2	0	V
延迟时间1	delay (27)	Delay	2	mS
采样次数	Sample_No (28)	Sample	10	

图 2-10-4

11. 输出电压摆幅 VO 编程指南

参数定义：在规定电源电压和负载下，器件所能输出的最大电压峰-峰值。

VO 参数测试原理图如图 2-11-1 所示：

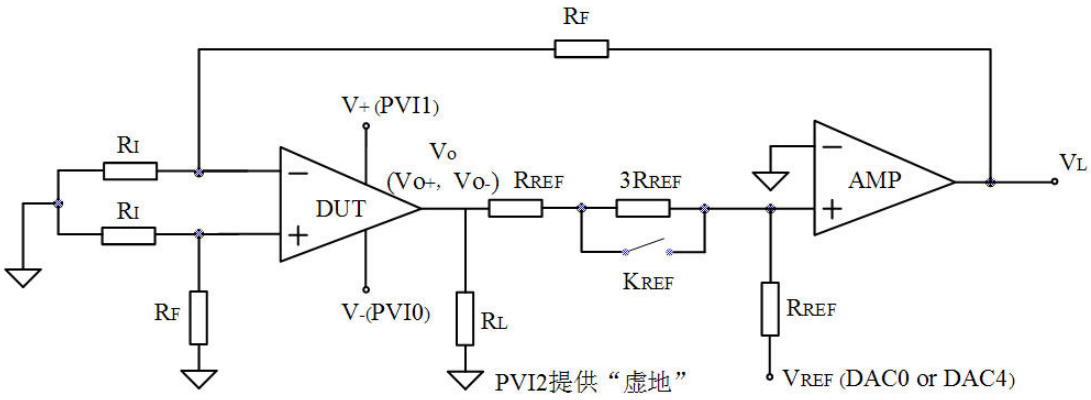

图 2-11-1

原理说明：

1. 器件电源端施加规定的电源电压 V+、V-。
2. 器件输出端接入规定的负载电阻 RL。
3. 通过设置基准电压 V_{REF}，使被测器件输出电压 V_O 设定为 V+ 值。
4. 在被测器件输出端测试正输出电压摆幅 VO+。
5. 通过设置基准电压 V_{REF}，使被测器件输出电压 V_O 设定为 V- 值。
6. 在被测器件输出端测试负输出电压摆幅 V_{O-}。
7. 输出电压摆幅（峰-峰值） $V_O = V_{O+} - V_{O-}$。

本系统中没有给出该参数的模版，用户可以根据前面测量的 Vo+（V_{OH}）和 Vo-（V_{OL}）值自行计算得到 Vo。

12. 输出端源电流 IO+ （IOH）编程指南

参数定义：在规定的电源电压下，使被测器件输出为高电平，输出端在施加规定的电压下流出器件的电流。

IO+（IOH）参数测试原理图如图 2-12-1 所示：

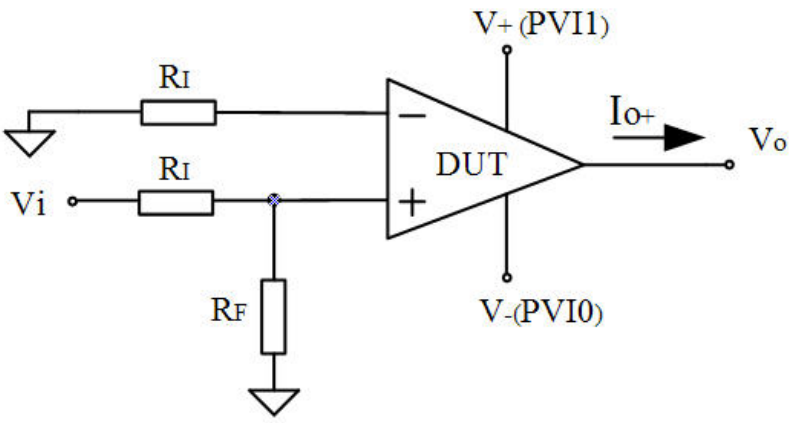

图 2-12-1

原理说明：

1. 器件电源端施加规定的电源电压 V+、V-。
2. 通过设置输入电压 Vi，使器件输出为高电平。
3. 在被测器件输出端施加规定的电压 Vo。
4. 测试流出器件的源电流 Io+（I_{OH}）。

手册示例：（双运放 LM358）

Electrical Characteristics (Continued) $V^+ = +5.0V$, Note 4, unless otherwise stated

Parameter		Conditions		LM158A			LM358A			LM158/LM258			LM358			LM2904			Units
				Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Common-Mode Voltage Range		$V^+ = 30$ V, (Note 7) (LM2904, $V^+ = 26V$)		0		$V^+ - 2$	0		$V^+ - 2$	0		$V^+ - 2$	0		$V^+ - 2$	0		$V^+ - 2$	V
Large Signal Voltage Gain		$V^+ = +15V$ ($V_O = 1V$ to $11V$) $R_L \geq 2\ k\Omega$		25			15			25			15			15			V/mV
Output Voltage Swing	V_{OH}	$V^+ = +30V$ (LM2904, $V^+ = 26V$)	$R_L = 2\ k\Omega$	26			26			26			26			22			V
			$R_L = 10\ k\Omega$	27	28		27	28		27	28		27	28		23	24		V
	V_{OL}	$V^+ = 5V$, $R_L = 10\ k\Omega$			5	20		5	20		5	20		5	20		5	100	mV
Output Current	Source	$V_{IN}^+ = +1V$, $V_{IN}^- = 0V$, $V^+ = 15V$, $V_O = 2V$		10	20		10	20		10	20		10	20		10	20		mA
	Sink	$V_{IN}^- = +1V$, $V_{IN}^+ = 0V$, $V^+ = 15V$, $V_O = 2V$		10	15		5	8		5	8		5	8		5	8		mA

图 2-12-2

编程示例：（双运放 LM358）

test_io_open1	☑							
		io	Isource(2V)		-10	mA	0.000	2

器件正电源电压（PVI1）	vdd (0)	V+	15	V
VDD电压量程	vdd_vrng (1)	V+_VRng	±20V	
VDD电流量程	vdd_irng (2)	V+_IRng	±1A	
VDD电流上限箝位	vdd_clamp1 (3)	V+_Clamp1	400	mA
VDD电流下限箝位	vdd_clamp2 (4)	V+_Clamp2	-10	mA
器件负电源电压（PVIO）	vss (5)	V-	0	V
VSS电压量程	vss_vrng (6)	V-_VRng	±10V	
VSS电流量程	vss_irng (7)	V-_IRng	±100mA	
VSS电流上限箝位	vss_clamp1 (8)	V-_Clamp1	10	mA
VSS电流下限箝位	vss_clamp2 (9)	V-_Clamp2	-100	mA
输出源表电压（QVI）	vosm_v (10)	VOSM_V	2	V
VOSM电压量程	vosm_vrng (11)	VOSM_VRng	±2V	
VOSM电流量程	vosm_irng (12)	VOSM_IRng	±100mA	
VOSM电流上限箝位	vosm_clamp1 (13)	VOSM_Clamp1	100	mA
VOSM电流下限箝位	vosm_clamp2 (14)	VOSM_Clamp2	-100	mA
环路选择模式	opl_mode (15)	OPL_Mode	同输入，反接地	
DUT输入电压	vin (16)	Vin	1	V
延迟时间1	delay (17)	Delay	5	mS
采样次数	Sample_No (18)	Sample	10	

图 2-12-3

编程说明：

1. 本图为 LM358 在 15V 电源电压、反相端接地、同相端输入 1V 条件下的 Isource 编程界面。
2. 根据数据手册规定的合格判据设定判据项。
3. 根据数据手册设定器件电源 Vdd 和 Vss。Vdd 和 Vss 项有时不在手册的测试条件栏中，需参考数据手册中表格首部的隐含测试条件。对于单电源器件，Vss 应设为 0V。
4. 根据数据手册规定测试条件设定输入电压 Vin（必须为正值）。
5. 环路选择模式使 Vin 输入可以灵活的选择 DUT 的两个输入端中任意一个作为其输入端，
   “同输入，反接地” （应用于 Io+（I_{OH}））：DUT 的同相输入端接 Vin 输入，其反相输入端接地；
   “反输入，同接地” （应用于 Io-（I_{OL}））：DUT 的反相输入端接 Vin 输入，其同相输入端接地。
6. 根据数据手册规定测试条件设定 vosm 电压 vosm_v 项。
7. 当设定 vosm 电压 vosm_v = 0V 时，Io+（I_{OH}）参数即为短路电流参数。
8. 利用 vosm 在 DUT 的输出端测试 Io+（I_{OH}）。
9. 多个单元的运放需要增大 vdd 电流档及正相箝位值（上图中 LM324 的 Isource 参数的 vdd_irng 采用±1A 档，上限箝位 400mA）。

根据 Vin 输入值的不同要求，模版中为 Io+（I_{OH}）测试提供了两个函数，分别是 test_io_open1 （如图 2-12-3 所示）和 test_io_open2（如下图 2-12-4 所示）。两者都符合图 2-12-1 所示原理图。但是 test_io_open2 函数固定是选定 DUT 的反相端作为 Vin 的输入端。

除此之外，唯一的差别就是 Vin 的输入所选择的源不同，对于小电压差模信号（通常 100mV 以下）Vin 采用的是 vidm（差模电压电流源）的恒流方式串行给 DUT 的多个单元提供差模输入电压；对于大电压差模信号（通常 100mV 以上，比如 1V）Vin 采用的是 12Bit DAC

的输出并行给 DUT 多个单元提供差模输入电压。

当手册（部分比较器器件）要求 DUT 的两个输入端有小电压差模信号时，建议采用 test_io_open2 函数进行 I_{O+}（I_{OH}）的测量。利用该函数时，需要注意由于利用的是 vidm 的恒流方式串行给 DUT 的多个单元提供差模，所以 vidm_i 的输入要加倍、vidm_irng 的选择要满足 vidm_i 的需求（如下图所示）。

test_io_open2							
	io	Isource		-10	mA	0.000	2
器件正电源电压（PVI1）	vdd (0)	V+	15	V			
VDD电压量程	vdd_vrng (1)	V+_VRng	±20V				
VDD电流量程	vdd_irng (2)	V+_IRng	±1A				
VDD电流上限箝位	vdd_clamp1 (3)	V+_Clamp1	400	mA			
VDD电流下限箝位	vdd_clamp2 (4)	V+_Clamp2	-10	mA			
器件负电源电压（PVIO）	vss (5)	V-	0	V			
VSS电压量程	vss_vrng (6)	V-_VRng	±10V				
VSS电流量程	vss_irng (7)	V-_IRng	±100mA				
VSS电流上限箝位	vss_clamp1 (8)	V-_Clamp1	10	mA			
VSS电流下限箝位	vss_clamp2 (9)	V-_Clamp2	-100	mA			
输出源表电压（QVI）	vosm_v (10)	VOSM_V	0	V			
VOSM电压量程	vosm_vrng (11)	VOSM_VRng	±50V				
VOSM电流量程	vosm_irng (12)	VOSM_IRng	±100uA				
VOSM电流上限箝位	vosm_clamp1 (13)	VOSM_Clamp1	100	uA			
VOSM电流下限箝位	vosm_clamp2 (14)	VOSM_Clamp2	-100	uA			
DUT输入电压	vin (15)	Vin	10	mV			
差模输入源表电流（QVI）	vidm_i (16)	VIDM_I	200	uA			
VIDM电流量程	vidm_irng (17)	VIDM_IRng	±1mA				
VIDM电压量程	vidm_vrng (18)	VIDM_VRng	±10V				
VIDM电压上限箝位	vidm_clamp1 (19)	VIDM_Clamp1	10	V			
VIDM电压下限箝位	vidm_clamp2 (20)	VIDM_Clamp2	0	V			
延迟时间1	delay (21)	Delay	5	mS			
采样次数	Sample_No (22)	Sample	10				

图 2-12-4

13. 输出端漏电流 IO- （IOL）编程指南

参数定义：在规定的电源电压下，使被测器件输出为低电平，输出端在施加规定的电压下流入器件的电流。

IO-（IOL）参数测试原理图如图 2-13-1 所示：

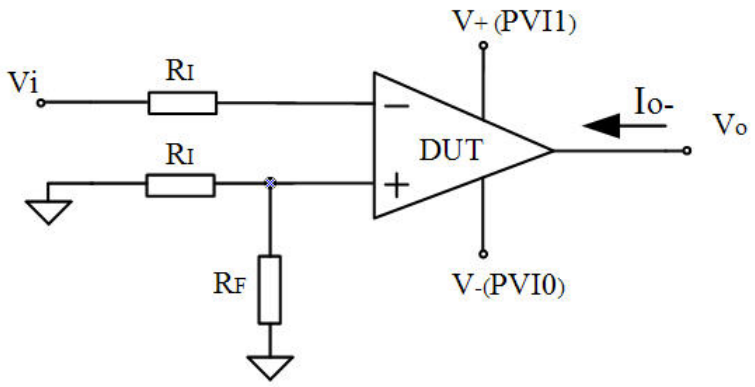

图 2-13-1

原理说明：

1. 器件电源端施加规定的电源电压 V+、V-。
2. 通过设置输入电压 Vi，使器件输出为低电平。
3. 在被测器件输出端施加规定的电压 Vo。
4. 测试流出器件的源电流 Io-（I_{OL}）。

手册示例：（双运放 LM358）

Electrical Characteristics (Continued) $V^+ = +5.0V$, Note 4, unless otherwise stated

Parameter		Conditions		LM158A			LM358A			LM158/LM258			LM358			LM2904			Units
				Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Common-Mode Voltage Range		$V^+ = 30$ V, (Note 7) (LM2904, $V^+ = 26V$)		0		$V^+ - 2$	0		$V^+ - 2$	0		$V^+ - 2$	0		$V^+ - 2$	0		$V^+ - 2$	V
Large Signal Voltage Gain		$V^+ = +15V$ ($V_O = 1V$ to 11V) $R_L \geq 2\ k\Omega$		25			15			25			15			15			V/mV
Output Voltage Swing	V_{OH}	$V^+ = +30V$ (LM2904, $V^+ = 26V$)	$R_L = 2\ k\Omega$	26			26			26			26			22			V
			$R_L = 10\ k\Omega$	27	28		27	28		27	28		27	28		23	24		V
	V_{OL}	$V^+ = 5V$, $R_L = 10\ k\Omega$			5	20		5	20		5	20		5	20		5	100	mV
Output Current	Source	$V_{IN}^+ = +1V$, $V_{IN}^- = 0V$, $V^+ = 15V$, $V_O = 2V$		10	20		10	20		10	20		10	20		10	20		mA
	Sink	$V_{IN}^- = +1V$, $V_{IN}^+ = 0V$, $V^+ = 15V$, $V_O = 2V$		10	15		5	8		5	8		5	8		5	8		mA

编程示例：（双运放 LM358）

test_io_open1	☑							
		io	Isink(2V)	5		mA	0.000	2
器件正电源电压（PVI1）		vdd (0)		V+		15		V
VDD电压量程		vdd_vrng (1)		V+_VRng		±20V		
VDD电流量程		vdd_irng (2)		V+_IRng		±100mA		
VDD电流上限箝位		vdd_clamp1 (3)		500		100		mA
VDD电流下限箝位		vdd_clamp2 (4)		V+_Clamp2		-10		mA
器件负电源电压（PVIO）		vss (5)		V-		0		V
VSS电压量程		vss_vrng (6)		V-_VRng		±10V		
VSS电流量程		vss_irng (7)		V-_IRng		±1A		
VSS电流上限箝位		vss_clamp1 (8)		V-_Clamp1		10		mA
VSS电流下限箝位		vss_clamp2 (9)		V-_Clamp2		-400		mA
输出源表电压（QVI）		vosm_v (10)		VOSM_V		2		V
VOSM电压量程		vosm_vrng (11)		VOSM_VRng		±10V		
VOSM电流量程		vosm_irng (12)		VOSM_IRng		±100uA		
VOSM电流上限箝位		vosm_clamp1 (13)		VOSM_Clamp1		100		uA
VOSM电流下限箝位		vosm_clamp2 (14)		VOSM_Clamp2		-100		uA
环路选择模式		opl_mode (15)		OPL_Mode		反输入，同接地		
DUT输入电压		vin (16)		Vin		1		V
延迟时间1		delay (17)		Delay		5		mS
采样次数		Sample_No (18)		Sample		10		

图 2-13-3

编程说明：

1. 本图为 LM358 在 15V 电源电压、同相端接地、反相端输入 1V 条件下的 Isink 编程界面。
2. 根据数据手册规定的合格判据设定判据项。
3. 根据数据手册设定器件电源 Vdd 和 Vss。Vdd 和 Vss 项有时不在手册的测试条件栏中，需参考数据手册中表格首部的隐含测试条件。对于单电源器件，Vss 应设为 0V。
4. 根据数据手册规定测试条件设定输入电压 Vin（必须为正值）。
5. 环路选择模式使 Vin 输入可以灵活的选择 DUT 的两个输入端中任意一个作为其输入端，
   “同输入，反接地” （应用于 Io+（I_{OH}）：DUT 的同相输入端接 Vin 输入，其反相输入端接地；
   “反输入，同接地” （应用于 Io-（I_{OL}））：DUT 的反相输入端接 Vin 输入，其同相输入端接地。
6. 根据数据手册规定测试条件设定 vosm 电压 vosm_v 项。
7. 利用 vosm 在 DUT 的输出端测试 Io+（I_{OH}）。
8. 多个单元的运放需要增大 vss 电流档及反相箝位值（上图中 LM324 的 Isink 参数的 vss_irng 采用±1A 档，下限箝位-400mA）。

根据 Vin 输入值的不同要求，模版中为 Io-（I_{OL}）测试提供了两个函数，分别是 test_io_open1 （如图 2-13-3 所示）和 test_io_open2（如下图 2-13-4 所示）。两者都符合图 2-13-1 所示原理图。但是 test_io_open2 函数固定是选定 DUT 的反相端作为 Vin 的输入端。

除此之外，唯一的差别就是 Vin 的输入所选择的源不同，对于小电压差模信号（通常 100mV 以下）Vin 采用的是 vidm（差模电压电流源）的恒流方式串行给 DUT 的多个单元提供差模输入电压；对于大电压差模信号（通常 100mV 以上，比如 1V）Vin 采用的是 12Bit DAC

的输出并行给 DUT 多个单元提供差模输入电压。

当手册（部分比较器器件）要求 DUT 的两个输入端有小电压差模信号时，建议采用 test_io_open2 函数进行 Io-（IOL）的测量。利用该函数时，需要注意由于利用的是 vidm 的恒流方式串行给 DUT 的多个单元提供差模，所以 vidm_i 的输入要加倍、vidm_irng 的选择要满足 vidm_i 的需求（如下图所示）。

test_io_open2	☑							
		io	Ileakage		10	uA	0.000	2

器件正电源电压（PVI1）	vdd (0)	V+	15	V
VDD电压量程	vdd_vrng (1)	V+_VRng	±20V	
VDD电流量程	vdd_irng (2)	V+_IRng	±1A	
VDD电流上限箝位	vdd_clamp1 (3)	V+_Clamp1	400	mA
VDD电流下限箝位	vdd_clamp2 (4)	V+_Clamp2	-10	mA
器件负电源电压（PVIO）	vss (5)	V-	0	V
VSS电压量程	vss_vrng (6)	V-_VRng	±10V	
VSS电流量程	vss_irng (7)	V-_IRng	±100mA	
VSS电流上限箝位	vss_clamp1 (8)	V-_Clamp1	10	mA
VSS电流下限箝位	vss_clamp2 (9)	V-_Clamp2	-100	mA
输出源表电压（QVI）	vosm_v (10)	VOSM_V	35	V
VOSM电压量程	vosm_vrng (11)	VOSM_VRng	±50V	
VOSM电流量程	vosm_irng (12)	VOSM_IRng	±100uA	
VOSM电流上限箝位	vosm_clamp1 (13)	VOSM_Clamp1	100	uA
VOSM电流下限箝位	vosm_clamp2 (14)	VOSM_Clamp2	-100	uA
DUT输入电压	vin (15)	Vin	10	mV
差模输入源表电流（QVI）	vidm_i (16)	VIDM_I	200	uA
VIDM电流量程	vidm_irng (17)	VIDM_IRng	±1mA	
VIDM电压量程	vidm_vrng (18)	VIDM_VRng	±10V	
VIDM电压上限箝位	vidm_clamp1 (19)	VIDM_Clamp1	10	V
VIDM电压下限箝位	vidm_clamp2 (20)	VIDM_Clamp2	0	V
延迟时间1	delay (21)	Delay	5	mS
采样次数	Sample_No (22)	Sample	10	

图 2-13-4

14. 电源电流 Is 编程指南

参数定义：

Is+：在规定的电源电压下，流入器件正电源端的电流。

Is-：在规定的电源电压下，流入器件负电源端的电流。

Is 参数测试原理图如图 2-14-1 所示：

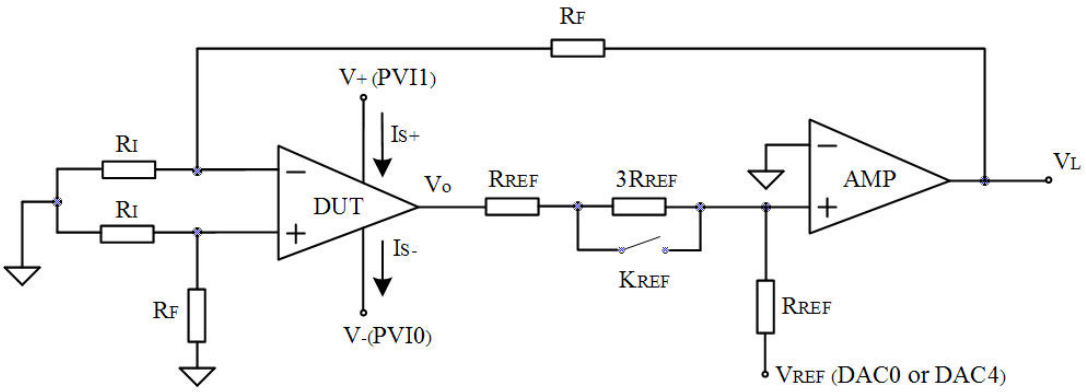

图 2-14-1

原理说明：

1. 对于单电源器件只测 Is+，此时 Is+与 Is 相同。
2. 器件电源端施加规定的电源电压 V+、V-。
3. 在被测器件输出端施加规定的正电压 Vo。
4. 测试流入器件正电源端的电源电流 Is+。
5. 测试流入器件负电源端的电源电流 Is-。

手册示例：（单运放 OP177G）

ELECTRICAL CHARACTERISTICS (@ V_S = ±15 V, T_A = +25°C, unless otherwise noted) **OP177**

Parameter	Symbol	Conditions	OP177E Min	OP177E Typ	OP177E Max	OP177F Min	OP177F Typ	OP177F Max	OP177G Min	OP177G Typ	OP177G Max	Units
Input Offset Voltage	V_{OS}			4	10		10	25		20	60	μV
Output Voltage Swing	V_O	R_L ≥ 10 kΩ	±13.5	±14.0		±13.5	±14.0		±13.5	±14.0		V
		R_L ≥ 2 kΩ	±12.5	±13.0		±12.5	±13.0		±12.5	±13.0		V
		R_L ≥ 1 kΩ	±12.0	±12.5		±12.0	±12.5		±12.0	±12.5		V
Slew Rate	SR	R_L ≥ 2 kΩ[2]	0.1	0.3		0.1	0.3		0.1	0.3		V/μs
Closed-Loop Bandwidth	BW	A_{VCL} = +1[2]	0.4	0.6		0.4	0.6		0.4	0.6		MHz
Open-Loop Output Resistance	R_O			60			60			60		Ω
Power Consumption	P_D	V_S = ±15 V, No Load		50	60		50	60		50	60	mW
		V_S = ±3 V, No Load		3.5	4.5		3.5	4.5		3.5	4.5	mW
Supply Current	I_{SY}	V_S = ±15 V, No Load		1.6	2.0		1.6	2.0		1.6	2.0	mA

图 2-14-2

编程示例：（单运放 OP177G）

test_is1								
		is1	IS+(15V)	0	2.0	mA	0.000	1

器件正电源电压（PVI1）	vdd (0)	V+	15	V
VDD电压量程	vdd_vrng (1)	V+_VRng	±20V	
VDD电流量程	vdd_irng (2)	V+_IRng	±100mA	
VDD电流上限箝位	vdd_clamp1...	V+_Clamp1	100	mA
VDD电流下限箝位	vdd_clamp2...	V+_Clamp2	-10	mA
器件负电源电压（PVI0）	vss (5)	V-	-15	V
VSS电压量程	vss_vrng (6)	V-_VRng	±20V	
VSS电流量程	vss_irng (7)	V-_IRng	±100mA	
VSS电流上限箝位	vss_clamp1...	V-_Clamp1	10	mA
VSS电流下限箝位	vss_clamp2...	V-_Clamp2	-100	mA
负载电源电压（PVI2）	vl (10)	VL	0	V
VL电压量程	vl_vrng (11)	VL_VRng	±10V	
VL电流量程	vl_irng (12)	VL_IRng	±100mA	
VL电流上限箝位	vl_clamp1 ...	VL_Clamp1	100	mA
VL电流下限箝位	vl_clamp2 ...	VL_Clamp2	-100	mA
DUT负载电阻	rl (15)	RL	None	
DUT输出电压	vo (16)	Vo	0	V
输出控制电阻比例	r2r1 (17)	R2 / R1	4:1	
环路增益	g_loop (18)	G_Loop	×10000	
环路积分时间	t_loop (19)	T_Loop	2mS	
PGA放大器增益	g_pga (20)	G_PGA	×1	
延迟时间1	delay (21)	Delay	20	mS
采样次数	Sample_No ...	Sample	10	

图 2-14-3

编程说明：

1. 上图是对 OP177 测试正电源电流的编程界面，如果要测试负电源电流请采用 test_is2 函数。并注意多单元、多负载情况下 Vdd，Vss 电流档的选取和上下限箝位值的填写。
2. 根据数据手册规定的合格判据设定判据项。
3. 根据数据手册设定器件电源 Vdd 和 Vss。对于单电源器件，Vss 应设为 0V。
4. 输出电压 Vo 项，对于正负极性器件一般设为 0V，对于单电源器件可参考失调电压参数 Vos 中的 Vo 项设置。
5. 通常将该参数安排在测试程序的最后。

15. 静态功耗 Ps 编程指南

参数定义：输入端无信号且输出端无负载时，器件所消耗的电源功率。

Ps 参数测试原理图如图 2-15-1 所示：

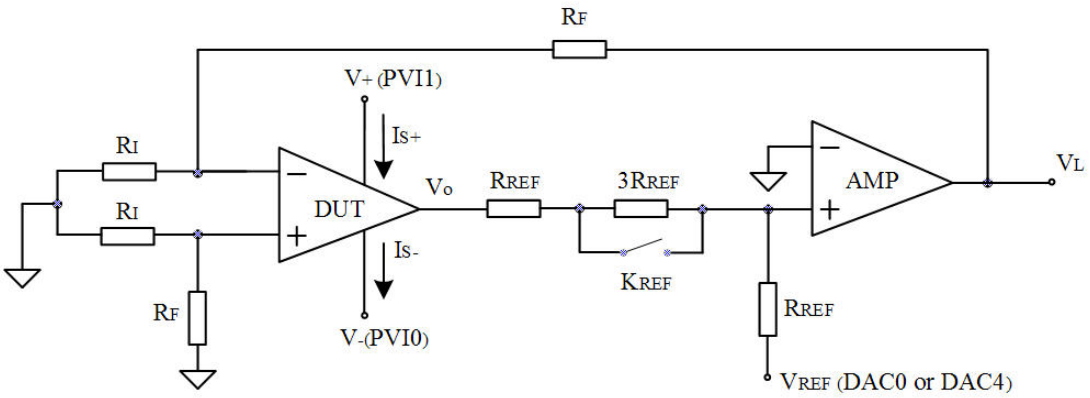

图 2-15-1

原理说明：

1. 器件电源端施加规定的电源电压 V+、V-。
2. 在被测器件输出端施加规定的正电压 Vo。
3. 分别测试流入器件电源端的电源电流 Is+、Is-。
4. 静态功耗 PS = （V+ ×Is+）+（V- ×Is-）。

手册示例：（单运放 OP177G）

ELECTRICAL CHARACTERISTICS (@ V_S = ±15 V, T_A = +25°C, unless otherwise noted) **OP177**

Parameter	Symbol	Conditions	OP177E Min	OP177E Typ	OP177E Max	OP177F Min	OP177F Typ	OP177F Max	OP177G Min	OP177G Typ	OP177G Max	Units
Input Offset Voltage	V_{OS}			4	10		10	25		20	60	µV
Long-Term Input Offset Voltage Stability	ΔV_{OS}/Time	(Note 1)		0.2			0.3			0.4		µV/Mo
Input Offset Current	I_{OS}			0.3	1.0		0.3	1.5		0.3	2.8	nA
Input Bias Current	I_B		–0.2	1.0	1.5	–0.2	1.2	2.0	–0.2	1.2	2.8	nA
Closed-Loop Bandwidth	BW	A_{VCL} = +1[2]	0.4	0.6		0.4	0.6		0.4	0.6		MHz
Open-Loop Output Resistance	R_O			60			60			60		Ω
Power Consumption	P_D	V_S = ±15 V, No Load		50	60		50	60		50	60	mW
		V_S = ±3 V, No Load		3.5	4.5		3.5	4.5		3.5	4.5	mW
Supply Current	I_{SY}	V_S = ±15 V, No Load		1.6	2.0		1.6	2.0		1.6	2.0	mA

图 2-15-2

编程示例：（单运放 OP177G）

test_ps								
		ps	PS(15V)	0	60.0000	mW	0.00	1
器件正电源电压（PVI1）			vdd (0)	V+	15		V	
VDD电压量程			vdd_vrng (1)	V+_VRng	±20V			
VDD电流量程			vdd_irng (2)	V+_IRng	±100mA			
VDD电流上限箝位			vdd_clamp1...	V+_Clamp1	100		mA	
VDD电流下限箝位			vdd_clamp2...	V+_Clamp2	-10		mA	
器件负电源电压（PVI0）			vss (5)	V-	-15		V	
VSS电压量程			vss_vrng (6)	V-_VRng	±20V			
VSS电流量程			vss_irng (7)	V-_IRng	±100mA			
VSS电流上限箝位			vss_clamp1...	V-_Clamp1	10		mA	
VSS电流下限箝位			vss_clamp2...	V-_Clamp2	-100		mA	
负载电源电压（PVI2）			vl (10)	VL	0		V	
VL电压量程			vl_vrng (11)	VL_VRng	±10V			
VL电流量程			vl_irng (12)	VL_IRng	±100mA			
VL电流上限箝位			vl_clamp1 ...	VL_Clamp1	100		mA	
VL电流下限箝位			vl_clamp2 ...	VL_Clamp2	-100		mA	
DUT负载电阻			rl (15)	RL	None			
DUT输出电压			vo (16)	Vo	0		V	
输出控制电阻比例			r2r1 (17)	R2 / R1	4:1			
环路增益			g_loop (18)	G_Loop	×10000			
环路积分时间			t_loop (19)	T_Loop	2mS			
PGA放大器增益			g_pga (20)	G_PGA	×1			
延迟时间1			delay (21)	Delay	10		mS	
采样次数			Sample_No ...	Sample	10			

图 2-15-3

编程说明：

1. 根据数据手册规定的合格判据设定判据项。
2. 根据数据手册设定器件电源 Vdd 和 Vss。对于单电源器件，Vss 应设为 0V。
3. 输出电压 Vo 项，对于正负极性器件一般设为 0V，对于单电源器件可参考失调电压参数 Vos 中的 Vs 项设置。
4. 通常该参数安排在测试程序的最后。

16. 上升沿压摆率 Sr+编程指南

参数定义：输入端在施加规定的大信号阶跃脉冲电压时，输出电压的上升沿随时间的最大变化率。

Sr+参数测试原理图如图 2-16-1 所示：

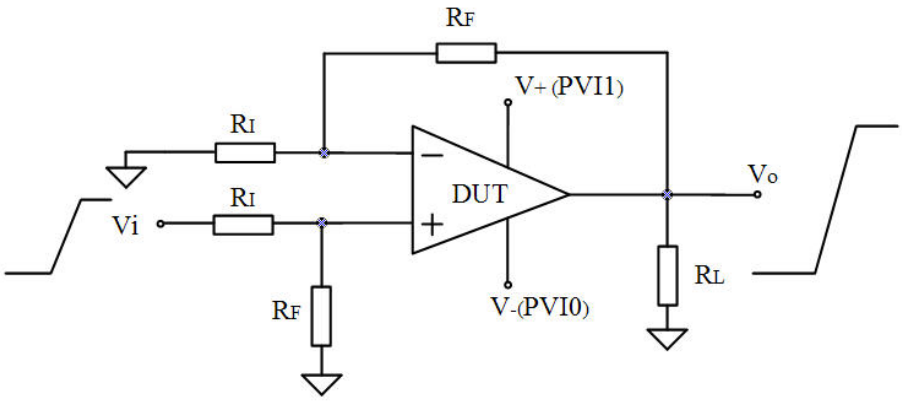

图 2-16-1

原理说明：

1. 器件电源端施加规定的电源电压 V+、V-。
2. 在 DUT 输入端施加规定的脉冲信号电压 Vi。
3. 在DUT输出端检测器件输出电压上升沿幅度变化ΔV和对应的变化时间Δt（请参见图1-2中所示：上升沿压摆率SR+参数测试波形示意图）。
4. 计算求出 Sr+ = $\frac{\Delta V}{\Delta t}$。

手册示例：（单运放 OP177G）

ELECTRICAL CHARACTERISTICS (@ V_S = ±15 V, T_A = +25°C, unless otherwise noted) **OP177**

Parameter	Symbol	Conditions	OP177E Min	OP177E Typ	OP177E Max	OP177F Min	OP177F Typ	OP177F Max	OP177G Min	OP177G Typ	OP177G Max	Units
Input Offset Voltage	V_{OS}			4	10		10	25		20	60	μV
Long-Term Input Offset Voltage Stability	ΔV_{OS}/Time	(Note 1)		0.2			0.3			0.4		μV/Mo
Output Voltage Swing	V_O	$R_L \geq 10$ kΩ	±13.5	±14.0		±13.5	±14.0		±13.5	±14.0		V
		$R_L \geq 2$ kΩ	±12.5	±13.0		±12.5	±13.0		±12.5	±13.0		V
		$R_L \geq 1$ kΩ	±12.0	±12.5		±12.0	±12.5		±12.0	±12.5		V
Slew Rate	SR	$R_L \geq 2$ kΩ[2]	0.1	0.3		0.1	0.3		0.1	0.3		V/μs

图 2-16-2

编程示例：（单运放 OP177G）

test_sr	☑							
		sr	SR+	0.1		V/uS	0.00	1
器件正电源电压（PVI1）		vdd (0)		V+		15		V
VDD电压量程		vdd_vrng (1)		V+_VRng		±20V		
VDD电流量程		vdd_irng (2)		V+_IRng		±100mA		
VDD电流上限箝位		vdd_clamp1 (3)		V+_Clamp1		100		mA
VDD电流下限箝位		vdd_clamp2 (4)		V+_Clamp2		-10		mA
器件负电源电压（PVI0）		vss (5)		V-		-15		V
VSS电压量程		vss_vrng (6)		V-_VRng		±20V		
VSS电流量程		vss_irng (7)		V-_IRng		±100mA		
VSS电流上限箝位		vss_clamp1 (8)		V-_Clamp1		10		mA
VSS电流下限箝位		vss_clamp2 (9)		V-_Clamp2		-100		mA
负载电源电压（PVI2）		vl (10)		VL		0		V
VL电压量程		vl_vrng (11)		VL_VRng		±10V		
VL电流量程		vl_irng (12)		VL_IRng		±100mA		
VL电流上限箝位		vl_clamp1 (13)		VL_Clamp1		100		mA
VL电流下限箝位		vl_clamp2 (14)		VL_Clamp2		-100		mA
DUT负载电阻		rl (15)		RL		2K		
DUT输入电压1		Vin1 (16)		Vin1		-1		V
DUT输入电压2		Vin2 (17)		Vin2		1		V
DUT输出电压1		Vo1 (18)		Vo1		-10		V
DUT输出电压2		Vo2 (19)		Vo2		10		V
环路增益		g_loop (20)		G_Loop		×100		

图 2-16-3

编程说明：

1. 根据数据手册规定的合格判据设定判据项。
2. 根据数据手册设定器件电源 Vdd 和 Vss。对于单电源器件，Vss 应设为 0V。
3. 对于上升沿 SR+测试，要求 vin1 < vin2，vo1 < vo2。同时要注意 vo1，vo2 的合理选择。具体选择方案请参考第一章 12 节。

17. 下跳沿压摆率 Sr-编程指南

参数定义：输入端在施加规定的大信号阶跃脉冲电压时，输出电压的下跳沿随时间的最大变化率。

Sr-参数测试原理图如图 2-17-1 所示：

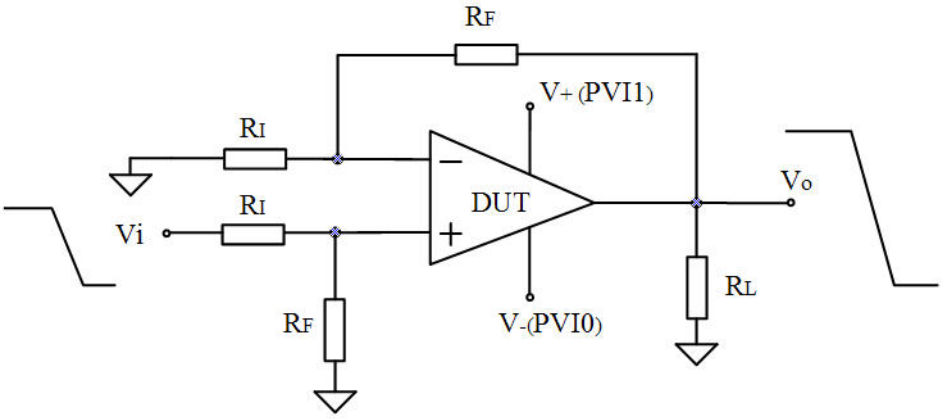

图 2-17-1

原理说明：

1. 器件电源端施加规定的电源电压 V+、V-。
2. 在 DUT 输入端施加规定的脉冲信号电压 Vi。
3. 在DUT输出端检测器件输出电压下跳沿幅度变化ΔV和对应的变化时间Δt（请参见图1-2中所示：下跳沿压摆率SR-参数测试波形示意图）。
4. 计算求出 Sr- = $\frac{\Delta V}{\Delta t}$。

手册示例：（单运放 OP177G）

ELECTRICAL CHARACTERISTICS (@ V_S = ±15 V, T_A = +25°C, unless otherwise noted) **OP177**

Parameter	Symbol	Conditions	OP177E Min	OP177E Typ	OP177E Max	OP177F Min	OP177F Typ	OP177F Max	OP177G Min	OP177G Typ	OP177G Max	Units
Input Offset Voltage	V_{OS}			4	10		10	25		20	60	μV
Long-Term Input Offset Voltage Stability	ΔV_{OS}/Time	(Note 1)		0.2			0.3			0.4		μV/Mo
Output Voltage Swing	V_O	$R_L \geq 10$ kΩ	±13.5	±14.0		±13.5	±14.0		±13.5	±14.0		V
		$R_L \geq 2$ kΩ	±12.5	±13.0		±12.5	±13.0		±12.5	±13.0		V
		$R_L \geq 1$ kΩ	±12.0	±12.5		±12.0	±12.5		±12.0	±12.5		V
Slew Rate	SR	$R_L \geq 2$ kΩ[2]	0.1	0.3		0.1	0.3		0.1	0.3		V/μs

图 2-17-2

编程示例：（单运放 OP177G）

test_sr	☑							
		sr	SR-	0.1		V/uS	0.00	1
器件正电源电压（PVI1）		vdd (0)		V+		15		V
VDD电压量程		vdd_vrng (1)		V+_VRng		±20V		
VDD电流量程		vdd_irng (2)		V+_IRng		±100mA		
VDD电流上限箝位		vdd_clamp1 (3)		V+_Clamp1		100		mA
VDD电流下限箝位		vdd_clamp2 (4)		V+_Clamp2		-10		mA
器件负电源电压（PVI0）		vss (5)		V-		-15		V
VSS电压量程		vss_vrng (6)		V-_VRng		±20V		
VSS电流量程		vss_irng (7)		V-_IRng		±100mA		
VSS电流上限箝位		vss_clamp1 (8)		V-_Clamp1		10		mA
VSS电流下限箝位		vss_clamp2 (9)		V-_Clamp2		-100		mA
负载电源电压（PVI2）		vl (10)		VL		0		V
VL电压量程		vl_vrng (11)		VL_VRng		±10V		
VL电流量程		vl_irng (12)		VL_IRng		±100mA		
VL电流上限箝位		vl_clamp1 (13)		VL_Clamp1		100		mA
VL电流下限箝位		vl_clamp2 (14)		VL_Clamp2		-100		mA
DUT负载电阻		rl (15)		RL		2K		
DUT输入电压1		Vin1 (16)		Vin1		1		V
DUT输入电压2		Vin2 (17)		Vin2		-1		V
DUT输出电压1		Vo1 (18)		Vo1		10		V
DUT输出电压2		Vo2 (19)		Vo2		-10		V
环路增益		g_loop (20)		G_Loop		×100		

图 2-17-3

编程说明：

1. 根据数据手册规定的合格判据设定判据项。
2. 根据数据手册设定器件电源 Vdd 和 Vss。对于单电源器件，Vss 应设为 0V。
3. 对于下跳沿 SR-测试，要求 vin1 > vin2，vo1 > vo2。同时要注意 vo1，vo2 的合理选择。具体选择方案请参考第一章 12 节。

18. 增益带宽积 Bw 编程指南

参数定义：在 6dB/倍频程的增益-频率特性范围内，电压增益与对应频率的乘积。

Bw 参数测试原理图如图 2-18-1 所示：

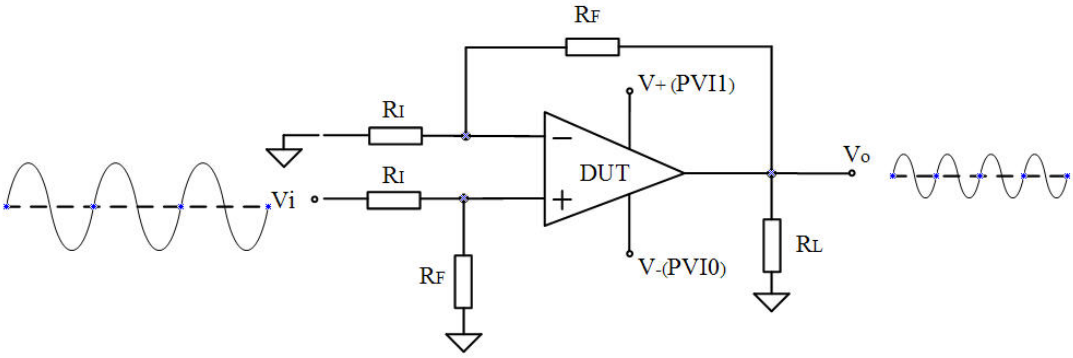

图 2-18-1

原理说明：

1. 器件电源端施加规定的电源电压 V+、V-。
2. 在 DUT 输入端施加规定的信号电压 Vi，调节信号频率为 fm，使电压增益的频率特性为 6dB/倍频程。
3. 在 DUT 输出端按规定的输出信号失真系数，测得电压 Vo。
4. 计算求出 Bw = $\frac{Vo}{Vi}$ × fm。

手册示例：（四运放 LM324）

LM124 - LM224 - LM324

ELECTRICAL CHARACTERISTICS (continued)

Symbol	Parameter	LM124 - LM224 - LM324			Unit
		Min.	Typ.	Max.	
SR	Slew Rate V_{CC} = 15V, V_I = 0.5 to 3V, R_L = 2kΩ, C_L = 100pF, unity gain)		0.4		V/µs
GBP	Gain Bandwidth Product V_{CC} = 30V, f = 100kHz, V_{in} = 10mV R_L = 2kΩ, C_L = 100pF		1.3		MHz

图 2-18-2

编程示例：（四运放 LM324）

test_bw	☑						
	+	bw	BW		20	MHz	0.000	4

器件正电源电压（PVI1）	vdd (0)	V+	30	V
VDD电压量程	vdd_vrng (1)	V+_VRng	±50V	
VDD电流量程	vdd_irng (2)	V+_IRng	±100mA	
VDD电流上限箝位	vdd_clamp1 (3)	V+_Clamp1	100	mA
VDD电流下限箝位	vdd_clamp2 (4)	V+_Clamp2	-10	mA
器件负电源电压（PVI0）	vss (5)	V-	0	V
VSS电压量程	vss_vrng (6)	V-_VRng	±10V	
VSS电流量程	vss_irng (7)	V-_IRng	±100mA	
VSS电流上限箝位	vss_clamp1 (8)	V-_Clamp1	10	mA
VSS电流下限箝位	vss_clamp2 (9)	V-_Clamp2	-100	mA
负载电源电压（PVI2）	vl (10)	VL	0	V
VL电压量程	vl_vrng (11)	VL_VRng	±10V	
VL电流量程	vl_irng (12)	VL_IRng	±100mA	
VL电流上限箝位	vl_clamp1 (13)	VL_Clamp1	100	mA
VL电流下限箝位	vl_clamp2 (14)	VL_Clamp2	-100	mA
DUT负载电阻	rl (15)	RL	2K	
环路增益	g_loop (16)	G_Loop	×100	
交流输入电压	vin (17)	Vin	1	V
交流输入频率	fin (18)	Fin	100	KHz
延迟时间1	delay (19)	Delay	10	mS
ACSM采样次数	Sample_No (20)	Sample	2000	

图 2-18-3

编程说明：

1. 根据数据手册规定的合格判据设定判据项。
2. 根据数据手册设定器件电源 Vdd 和 Vss。对于单电源器件，Vss 应设为 0V。
3. 输入电压 vin 项，由于 vin 接入 DUT 输入端之前具有联动衰减器所以输入时需要计算好，例如上图中要求输入 10mV，由于 g_loop 为 100 倍，所以 vin = 100 ×10mV = 1V。
4. 输入频率 fin 的输入范围在 0.05K-100KHz 之间。
5. 采样频率的输入请参考第一章的 14 节。